

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-091970

(43)Date of publication of application : 04.04.1997

(51)Int.Cl.

G11C 14/00
 G11C 7/00
 G11C 11/22
 H01L 27/10
 H01L 27/108
 H01L 21/8242

(21)Application number : 07-247859

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 26.09.1995

(72)Inventor : MIHARA TAKASHI
 HIRAIDE SHUZO

(54) NONDESTRUCTIVE FERROELECTRIC MEMORY AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a nondestructive ferroelectric memory suitable for high integration in which nondestructive read-out can be realized without causing any interference with nonselected memory cell at the time of reading or writing data by employing a feedback circuit added with a capacitor, a sense circuit, etc.

SOLUTION: Information in a memory cell 1 is erased by a first pulse having voltage V_e higher than a coercive voltage V_c . Information is written in by a second pulse having voltage V_w , the absolute value thereof is lower than the voltage V_e of reverse polarity. A feedback circuit system added with a capacitor for reading out a small C/C without requiring any voltage variation on the data line and a sense circuit combining comparative read-out with a reference dummy cell 11 comprising a ferroelectric are additionally provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 9 - 9 1 9 7 0

(43) 公開日 平成 9 年 (1997) 4 月 4 日

(51) Int. Cl.	識別記号	庁内整理番号	F I	技術表示箇所
G11C 14/00			G11C 11/34	352 A
7/00	315		7/00	315
11/22			11/22	
H01L 27/10	451		H01L 27/10	451
27/108				651

審査請求 未請求 請求項の数 3 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願平 7 - 2 4 7 8 5 9

(22) 出願日 平成 7 年 (1995) 9 月 2 6 日

(71) 出願人 0 0 0 0 0 0 3 7 6

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号

(72) 発明者 三原 孝士

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オ

リンパス光学工業株式会社内

(72) 発明者 平出 修三

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オ

リンパス光学工業株式会社内

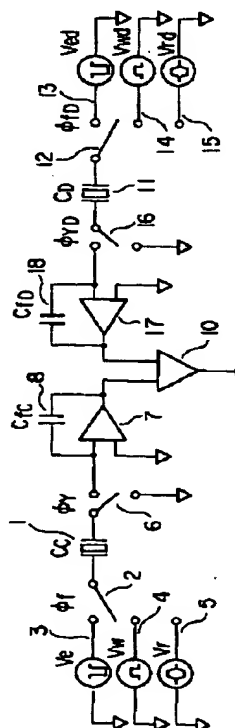
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 非破壊型強誘電体メモリ及びその駆動方法

(57) 【要約】

【課題】従来の強誘電体メモリは、集積度やコストは D R A M と変わらず、また単純マトリックス構成の強誘電体メモリは、情報の消去時、書き込み時及び読出し時に非選択の記憶セルに干渉して、非選択の記憶セルに記憶する情報を破壊する場合がある。

【解決手段】本発明は、抗電圧 V_c よりも大きい電圧 V_e の第 1 のパルスにより第 1 の分極状態とし、電圧 V_e とは逆極性の電圧 V_w の第 2 のパルスにより第 1 の分極と、逆方向の第 2 の分極が混合した部分分極状態にて情報の記憶し、小さな $\Delta C / C$ をデータ線の電圧変化なしで読み出せる容量付加帰還回路系と強誘電体からなる参照タミーセル 11 との比較読み出しを組み合わせたセンス回路を付加し、情報の書き込み・読出しが非選択セルに非干渉で非破壊読出しを実現する非破壊型強誘電体メモリである。



【特許請求の範囲】

【請求項 1】 1 対の電極により挟持された強誘電体薄膜の自発分極（分極）の状態により情報を記憶する記憶セルを用いる強誘電体メモリにおいて、
前記記憶セルに前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する記憶情報の消去用の第 1 のパルスを加するのための第 1 の端子と、
前記記憶セルに前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する情報書き込み用の第 2 のパルスを加するための第 2 の端子と、
前記記憶セルに前記電圧 V_e より以下の絶対値を持つ、正または負のいずれかの電圧 V_r を有し、非破壊的にメモリ情報を読出すための第 3 のパルスを加するための第 3 の端子と、
前記第 1 乃至第 3 の端子のいずれかを選択する第 1 の選択スイッチ手段と、
前記記憶セルの出力側に一端が接地される第 1 の切換えスイッチ手段を介して接続される帰還用容量を有して出力に帰還をかけられた第 1 の差動型アンプと、
前記記憶セルと同等の強誘電体薄膜からなり、該記憶セルに記憶される情報と同一の情報を記憶し、任意に比較読出しを行う参照用ダミーセルに接続する前記第 1 乃至第 3 のパルス信号と同等のパルス信号が印加される第 4 乃至第 6 の端子と、
前記第 4 乃至第 6 の端子のいずれかを選択し該参照用ダミーセルに印加する第 2 の選択スイッチ手段と、
前記参照用ダミーセルの出力側に一端が接地される第 2 の切換えスイッチ手段を介して接続される帰還用容量を有して出力に帰還をかけられた第 2 の差動型アンプと、
前記第 1 の差動型アンプと前記第 2 の差動型アンプとの差分を出力する第 3 の差動型アンプと、を具備し、
前記第 1、第 2 の選択スイッチ手段及び、第 1、第 2 の切換えスイッチ手段により、前記記憶セル及び前記参照用ダミーセルへの情報の消去・書き込み・読出しを行い、
前記記憶セル及び前記参照用ダミーセルが、前記強誘電体薄膜の自発分極の 2 つの状態のうちの第 1 の分極状態に、前記電圧 V_e の第 1 のパルスを加して分極し、次に前記電圧 V_w を有する第 2 のパルスを加し、前記第 1 の方向の分極を有するドメインと、前記第 1 の方向とは逆方向の第 2 の分極を有するドメインとが混合した部分分極状態にて情報を記憶し、前記電圧 V_r の第 3 のパルスを加して非破壊的にメモリ情報を読み出すことを特徴とする非破壊型強誘電体メモリ。

【請求項 2】 1 対の電極により挟持された強誘電体薄膜の自発分極（分極）の状態により情報を記憶する複数の記憶セル及び少なくとも 1 つの参照用ダミーセルを有し、前記強誘電体薄膜の自発分極（分極）の 2 つの状態のうちの第 1 の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第 1 のパルスを加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より

り小さい絶対値を持つ電圧 V_w を有する第 2 のパルスを加し、前記第 1 の方向の分極を有するドメインと、前記第 1 の方向とは逆方向の第 2 の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、

前記記憶セル及び前記参照用ダミーセルが、半導体チップ上で互いに直交する一対のストライプ電極に挟まれ単純マトリックスに配置されたメモリセルマトリックスを形成し、

10 前記メモリセルマトリックスは、半導体チップ上で、任意数の前記記憶セルで構成される 1 つ以上のセクタに区別され、該セクタに少なくとも 1 つ以上の前記参照用ダミーセルが置かれ、このメモリセルマトリックス内の記憶セルの情報は、一括的に消去されることを特徴とする非破壊型強誘電体メモリ。

【請求項 3】 1 対の電極により挟持された強誘電体薄膜の自発分極（分極）の状態により情報を記憶する記憶セルを有し、

20 前記強誘電体薄膜の自発分極（分極）の 2 つの状態のうちの第 1 の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第 1 のパルスを加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第 2 のパルスを加し、前記第 1 の方向の分極を有するドメインと、前記第 1 の方向とは逆方向の第 2 の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、

前記強誘電体メモリは、1 つの半導体チップまたは複数の半導体チップ上に形成される、記憶セルを有するメモリ部、アンテナ、同調回路、検波回路、復調回路、発振回路、変調回路、及び制御回路で構成され、電波を用いて情報の通信及び処理を行う、脱着可能なメモリ装置であることを特徴とする非破壊型強誘電体メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子回路に使用される固体型記録装置に係り、特に強誘電体薄膜を用いた非破壊型強誘電体メモリに関する。

【0002】

40 【従来の技術】 一般に、コンピュータと画像装置の発展に伴い、高密度で高性能のメモリ装置が要求されている。従来のメモリ装置としては、磁気テープ、フロッピーディスク、光磁気ディスクといった外部メモリ装置、あるいは、半導体メモリ、すなわち、DRAM、SRAM、EPROM、EEPROM、フラッシュメモリ等が用いられていた。

50 【0003】 そして、マルチメディアとコンピュータとが融合された場合に、メモリ装置としては、第 1 に不揮発性、第 2 に高速低電圧駆動であり、第 3 に駆動レスの固体メモリであるといった、より高性能でコンパクトな

メモリが必要とされる。しかし、従来の記録装置の技術では対応できない場合がある。

【0004】これに代るメモリ装置として、例えば、USP 4, 873, 664 (S. Sheffield Eaton Jr., Colorado Springs, CO)に開示されているような強誘電体メモリがある。

【0005】この強誘電体メモリの構成を図31に示す。

【0006】メモリセル301内の強誘電体薄膜容量302がスイッチング素子であり、FET 303によりドライブされるDRAM方式の蓄積容量を強誘電体容量に変えた構成となっている。メモリセルへの駆動は、ワードライン304、プレートライン305、ビットライン308に接続され、その読み出しは、センスアンプ307で行なう。

【0007】この構成では、センスアンプ307がSiデバイスの上に形成されているため、集積度、コストともに半導体メモリのDRAMやFLASHメモリと同程度になり、例えば、数100Mbyteのカードを作る場合には不都合である。

【0008】これに対して、USP 5, 060, 191に開示されている方法は、図32に示すように、強誘電体材料313で単純マトリックス構造を作り、読み出しドライブ回路314、315で信号検出する方式である。

【0009】このような単純マトリックスで構成されたメモリの大きな問題は、セルが隣接して配置されており、選択したセルと非選択のセルとの干渉である。例えば、あるセルを選択し、書き込み／読み出しを行なう際に、電圧Vaを印加した場合、選択しない非選択セルにも電圧が印加されてしまう。特に、セル数が大きくなるにつれて、選択セルの入力側／出力側の電極ラインに接続される非選択セルにはVa/2が印加されてしまう。

【0010】そこで、上記USP 5, 060, 191では、選択セルに対する印加電圧Vaに対して、例えば、Va/3を非選択セルに印加されるよう工夫して、書き込み動作を行なう。また、読み出しは、低インピーダンスの電圧を読み出して、非選択セルからのノイズをカットしている。しかし、書き込み時に選択セルの分極反転に必要な電圧Vaを印加すると、非選択セルの分極状態は、Va/3の電圧ですら多数回の印加により破壊されてしまう。

【0011】また、USP 5, 140, 548 (C. J. Brennan)では、強誘電体内に空間電荷層と中性領域の両方が存在して、図33のような容量－電圧特性を作ると考え、負の電圧で書き込んだ320の状態と正の電圧で書き込んだ321の状態と、ある抗電圧Vth以下の電圧Vbを印加、この上に重畳したAC信号により容量を測定すると、“1”状態では、322の容量、“0”状態では、323の容量の2値が得られ、この差で“1”

“0”を判別するというものである。従って、書き込みを行なった後、空間電荷の緩和時間より長い時定数でVbの読み出し電圧を印加し、緩和時間より速い周波数成分を有する交流波形を印加することで分極状態を変化させずに読み出しが行なえるとするものである。

【0012】

【発明が解決しようとする課題】しかし前述した従来技術の問題点として、図31に示した構成において、半導体との組み合わせは、その実現性は比較的容易であるが、Siデバイス、すなわち、スイッチング素子やFETを用いる事により、集積度やコストはDRAMと変わらない。

【0013】また図32に示した単純マトリックス構成の強誘電体メモリは、書き込み時に、強誘電体セルの分極破壊に対する保証を具体的に開示していない。

【0014】図33に示した容量変化を使用する方法は、単純マトリックスに適用した場合、書き込み時には、図32に示した装置に発生した問題をそのまま抱える。読み出し時においても、S/N良く読み出しを行なおうとすると読み出し電圧Vbを、ある程度の大きさを印加せねばならず、多数回の印加により、やはり分極の変化が起こり、非破壊読み出しにはならない。

【0015】そこで本発明は、情報の書き込み・読み出し時に非選択の記憶セルへの非干渉性を有し、非破壊読み出しが実現可能で、且つ大規模化に好適する非破壊型強誘電体メモリを提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は上記目的を達成するために、1対の電極により挟持された強誘電体薄膜の自発分極(分極)の状態により情報を記憶する記憶セルを用いる強誘電体メモリにおいて、前記記憶セルに前記強誘電体薄膜の抗電圧Vcよりも大きい電圧Veを有する記憶情報の消去用の第1のバースを印加するための第1の端子と、前記記憶セルに前記印加電圧Veとは逆極性のVeより小さい絶対値を持つ電圧Vwを有する情報書き込み用の第2のバースを印加するための第2の端子と、前記記憶セルに前記電圧Veより絶対値で同値かまたは小さい、正または負のいずれかの電圧Vrである、非破壊的にメモリ情報を読み出すための第3のバースを印加するための第3の端子と、前記第1乃至第3の端子のいずれかを選択する第1の選択スイッチ手段と、前記記憶セルの出力側に一端が接地される第1の切換えスイッチ手段を介して接続される帰還用容量を有して出力に帰還をかけられた第1の差動型アンプと、前記記憶セルと同等の強誘電体薄膜からなり、該記憶セルに記憶される情報と同一の情報を記憶し、任意に比較読み出しを行う参照用ダミーセルに接続する前記第1乃至第3のバース信号と同等のバース信号が印加される第4乃至第6の端子と、前記第4乃至第6の端子のいずれかを選択し該参照用ダミーセルに印加する第2の選択スイッチ手段

と、前記参照用ダミーセルの出力側に一端が接地される第2の切換えスイッチ手段を介して接続される帰還用容量を有して出力に帰還をかけられた第2の差動型アンプと、前記第1の差動型アンプと前記第2の差動型アンプとの差分を出力する第3の差動型アンプとを有し、前記第1、第2の選択スイッチ手段及び、第1、第2の切換えスイッチ手段により、前記記憶セル及び前記参照用ダミーセルへの情報の消去・書込み・読出しを行い、前記記憶セル及び前記参照用ダミーセルが、部分分極状態にて情報を記憶し、前記電圧 V_r の第3の脉冲を印加して非破壊的にメモリ情報を読み出す非破壊型強誘電体メモリを提供する。

【0017】以上のような構成の非破壊型強誘電体メモリは、自発分極（分極）の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_{th} よりも大きい電圧 V_e を有する第1の脉冲を印加して分極し、次に、前記印加電圧 V_e とは逆極性の電圧 V_w を有する第2の脉冲を印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインが混合した部分分極状態にて情報の記憶を行なう。この状態は、容量の差として現われるが、読み出し電圧で読み出す場合は、容量比 $\Delta C/C$ が小さい為、増幅する必要がある。このとき C が温度依存性やデータ保持時間依存性等を考えると強誘電体容量を用いた参照セルによる比較読み出しが必要である。ここで、小さな $\Delta C/C$ をデータ線の電圧変化なしで読み出せる容量付加帰還回路と参照セルとの比較読み出しを組み合わせたセンス回路で、この非破壊の大容量メモリが可能となる。

【0018】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について詳細に説明する。

【0019】まず、図1乃至図4を参照して、本発明による非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0020】まず、図2(a)に示すように、例えば、強誘電体薄膜を白金等の電極で挟持された強誘電体メモリセル1の一端は、選択スイッチ2を介して、消去用パルス入力端子3、書込み用パルス入力端子4、読出し用パルス入力端子5に接続される。また強誘電体メモリセル1の他端は、一端が基準電位に接地される放電用の切換えスイッチ6及び差動アンプ7の入力端子に接続し、また差動アンプ7には帰還容量素子（コンデンサ）8が出力がフィードバックされるように接続されている。

【0021】このように構成された強誘電体メモリ装置において、図2(b)示す信号によるデータ書込み及び、データ読出しについて説明する。

【0022】この強誘電体メモリ装置のデータ書込み及びデータ読出しの原理は、基本的に本出願人が提案した特願平6-22545号、特願平7-9992号と同様

である。

【0023】この構成において、まず消去用パルス V_e を入力することにより記録されていたデータを消去し、そのメモリセル1に対して、第1（下向き）方向に分極設定された分極を“0”状態にする。この後、書込み用パルス V_w で所定データの書込みを行う。

【0024】ここで、書込み用パルス V_w の電位は、消去用パルス V_e の電位より、絶対値より小さい必要がある。書込まれたセルは第1（下向き）の分極状態と第2（上向き）の方向に反転させた分極状態を両方を有する、すなわち、部分分極領域である。つまり、部分分極とは、第1の方向の分極と第2の方向の分極との混合状態を有する分極状態である。この状態を“1”とし、図2(c)に示す。メモリの保持は、“0”状態と“1”状態で記録され、本情報は温度や長時間の保持で簡単に劣化するものではない。また“1”と“0”では、ゼロバイアス状態の差があり、“1”状態を C_{11} 、“0”状態を C_{00} とすると、 $C_{11} > C_{00}$ であり、その差 $(C_{11} - C_{00})/C_{11}$ が20%程度である事を確認している。

【0025】そして図2(b)に示す読出し用パルス V_r によりデータ読出しを行う。この読出し用パルス V_r による読出しは、非破壊的に行なわれ、消去用パルス V_e の電位より絶対値で小さく、好ましくは書込み用パルス V_w より小さいことが望ましい。なお、読出し用パルス V_r の極性はどちらでも良い。

【0026】この読み出しパルス V_r の印加により、 $1 \times 10^{-8} \sim 1 \times 10^{-11}$ 回程度の非破壊的に読み出しが可能であることを確認している。またこれらのパルスによる書込み・読出し方法によって、平行に配列される上電極と、上電極とほぼ直行する用に平行に配列された下電極とで強誘電体膜を挟み、上、下電極で挟まれた領域が1つのメモリセルになる単純マトリックス構造のメモリ構成が可能である。且つ、データ書込み時に、非選択セルへの電圧印加が僅かであり、記録されるデータが破壊されないことも確認している。

【0027】従って、前述した書込み・読出し方法によれば、最も高集積化が可能な不揮発性メモリの実現を示唆している。

【0028】ここで、強誘電体材料は、自発分極を有するものであれば何でも良い。ペロブスカイト構造を有する $Pb(Zr, Ti)O_3$ 、 $(Pb, La)(Zr, Ti)O_3$ 、 $PbTiO_3$ 、 $BaTiO_3$ 等が一般的である。また層状化合物であっても良い。例えば、 $SrBi:Ta:O_3$ 、 $SrBi:Nb:O_3$ 、 $SrBi:Ti:O_3$ 、 $SrBi:(Ta, Nb):O_3$ 、 $Bi:Ti:O_3$ 等である。また成膜方法もゾルゲル、有機金属法、スパッタリング法、MOCVD法等でも可能である。また膜厚は、実際の駆動電圧に合わせてスケージングが可能となる。

【0029】図1には、第1実施形態としての非破壊型

強誘電体メモリ装置の回路構成を示し説明する。この構成は概念的であるが、図2に示した構成のメモリ装置が差動アンプ10を中心として、一対で対称的に配置されているものであり、強誘電体メモリセルからなるダミーセル11の一端が、選択スイッチ12を介して、消去用パルス入力端子13、書き込み用パルス入力端子14、読出し用パルス入力端子15に接続される。またダミーセル11の他端は、一端が基準電位に接地される放電用スイッチ16及び差動アンプ17の入力端子に接続し、また差動アンプ17には帰還容量素子18が出力がフィードバックされるように接続されている。また、図中、矢印で示す基準電位（接地）は、所定の基準電位であって、零電位である必要はない。

【0030】図3を参照して、図1に示した強誘電体メモリ装置の動作について詳細に説明する。

【0031】図3(a)は、マトリックス状に複数のメモリセル1が配置され、第1のライン19と第2のライン20が接続された単純マトリックスの強誘電体メモリ装置である。

【0032】この強誘電体メモリ装置に図3(b)に示す電圧 V_e を印加することにより、記録されているデータを一括して消去する。

【0033】図3(c)は、同様に、データ書き込みの方法を説明するための図である。データ書き込みは、1/3駆動法を用いて、図3(c)に示すようなXライン群の選択セルの第1のライン19には電圧 V_w を印加し、非選択セルの第1のライン19には電圧 $1/3 V_w$ を印加し、且つYライン群の選択セルに0V、非選択セル2/3 V_w の電圧を印加する様に、にデータ書き込み時の破壊劣化を防ぐ。この破壊劣化については、PZT薄膜を用いて前述した駆動法によって、1マットのメモリセルで1 Gbitまで集積化しても、データ書き込み時にセルが破壊されない事を確認している。

【0034】図3(e)は同様に、データ読出し法を説明するための図である。ここで、選択ラインの第1のライン19a以外の第1のライン19は、接地されている。また選択データラインの第2のライン20a以外の第2のライン20は、接地されているものとする。

【0035】この時、選択データラインの第2のライン20aは、放電スイッチ6により予め接地され、帰還用の容量8が差動アンプ7に接続される。ここで、差動アンプ7は、差動入力片側が接地されているため仮想接地によって、入力インピーダンスが“0”に保持され、選択データラインの第2のライン20aの電位は昇圧しない。この為、非選択セルからの電荷が注入されることもない。よって、非干渉のデータ読出しができ、且つ、容量8帰還の差動アンプ7の為、出力 V_{out} はメモリセル容量 C_s と帰還容量 C_r の比で決まる。従って、 $V_{out} = -(C_s / C_r) \cdot V_{in}$ 、ここで“0”と“1”状態では V_{c0} 、 V_{c1} として

$$V_{c1} = -(C_{s1} / C_r) \cdot V_{in}$$

$$V_{c0} = -(C_{s0} / C_r) \cdot V_{in}$$

この様子を図3(f)に示す。この図では、解り易い様に、縦軸を $-V$ で描いた。ここで、 $V_{c1} > V_{c0}$ より、情報の読み出しが可能であるが、この差は、20%と小さく、また、この C_{s0} が温度、保持時間等で変化する為、ダミーセルを用いる。

【0036】次に、図4に示すように、第3の差動アンプ10の一方の入力端側に、図2に示した、第1の差動アンプ7及びメモリセル1及び容量8からなる構成と、他方の入力端に第2の差動アンプ17及びダミーセル11及び容量18からなる構成を接続する。

【0037】この構成により、図中A点の電圧は、 $-V$ を縦軸として、 $V_{c0} < V_{ref} < V_{c1}$ の順となるような V_{ref} を選ぶ。つまり、 V_{ref} がこの範囲になるようにダミーセル11を選択する。例えば、容量8と容量18の帰還容量を正確に合わせておけば、ダミーセル11の面積を変えて、 V_{ref} になるように合わせる。たとえば、 V_r を同じとすれば、

【数1】

$$C_{s1} > C_{ref} > C_{s0}$$

から

$$C_{s0} = A f_s \cdot C_{s0}^{\wedge}$$

$$C_{ref} = A f_{ref} \cdot C_{ref}^{\wedge}$$

ここで、 C_{s0} は単位面積あたりの容量である。

$$C_{ref} = C_{s0} + (C_{s1} - C_{s0}) / 2$$

$$A f_{ref} = [C_{s0} + (C_{s1} - C_{s0}) / 2] C_{s0}^{\wedge}$$

【0038】これは、ダミーセルの面積をメモリセルの $(C_{s1} - C_{s0}) / 2 C_{s0}$ 倍大きくする事を意味する。たとえば、 $1 \mu m^2$ のセルであれば、 $(C_{s1} - C_{s0}) / C_{s0}$ が20%の時、 $(C_{s1} - C_{s0}) / 2 C_{s0}$ は10%であり、 $1.1 \mu m^2$ のセルに対応している。

【0039】この場合は、ダミーセルのデータ書き込みは行わない。実際のデバイス作成では、1/5のステップを用いるので、相対的な加工精度は究めて良い。 $1 \mu m$ プロセスで $0.01 \mu m$ とされており、 $1 \mu m^2$ の面積でこの加工精度のばらつきは2%であり、加工寸法のばらつきによるノイズマージンの低下は1/5と予想される。

【0040】つまり、 $1 \mu m^2$ のセルを用いて、16 Mbitメモリは、本実施形態を利用すれば、2枚のみのマスク枚数で容易に製造できる。すなわち、MOSやバイポーラ素子を作成した、半導体基板(ウエハ)に白金等の下部電極をストライプ状に加工し、その後、PZT等の強誘電体薄膜を形成する。さらに上部電極を形成して、下部電極とほぼ直行する様に加工し、この上部に層間保護膜を形成して、配線用のスルーホールを形成し、Siウエハに形成されたデバイスとアルミ配線等を用

いて完成させる。

【 0 0 4 1 】 このため、従来の D R A M の様に、複雑なセル容量の作成の必要もなく、F l a s h メモリの様な 2 層や 3 層のポリシリコンプロセスの必要性もない。1 μ m 口のセルを 1 μ m を加工精度とする製造技術で作成できるメリットを持つ。また追加のプロセスもなく、加工精度を 0. 5 μ m にすることで、4 倍の集積度を高める事が可能である。

【 0 0 4 2 】 また本実施形態のメモリセルは、M O S T ランジスタの様なアクティブ素子を含まないために、形成する基盤が限定されない。つまり、ガラス板の様なシリコン基板以外の上にも、形成可能である。この場合は、周辺回路が T F T デバイスになる。また強誘電体材料の低温プロセスが達成されれば、アルミ配線上に単純マトリックスが作成でき、駆動回路を全面敷き詰められるため、集積度をさらに高めることができる。また回路素子を 2 重、3 重に多層化できる。

【 0 0 4 3 】 この様にして、多層、積層化された本実施形態のメモリ装置は、1 μ m の加工精度 (1 ミクロンルール) でも、1 2 8 M b i t の不揮発性メモリが可能となる。さらに周知な 0. 5 ミクロンルールを用いれば、5 1 2 M b i t の不揮発性メモリの実現が可能となる。

【 0 0 4 4 】 本実施形態では、従来のメモリ形成の際に制約された、例えば、スマートメモ리카ードの様な制御回路、マイクロプロセッサ等を素子の内部に組込む事が可能となる。

【 0 0 4 5 】 図 5 には、前述したメモリセルを用いて、装置に構成した場合に具体的な例を示す。ここで、複数のメモリセルが単純マトリックス配置されて構成されたメモリセルマット 2 1 に、X 選択回路 2 2、Y 選択回路 2 3、センス回路 2 4、参照用ダミーセル 2 5、データの消去・書込み・読出し用のパルス発生回路 2 5、データの消去・書込み用のパルス発生回路 2 6 で構成されている。

【 0 0 4 6 】 次に、第 2 実施形態の非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【 0 0 4 7 】 図 6 には、第 2 実施形態の強誘電体メモリ装置の構成例を示し、説明する。第 2 実施形態の基本的構成は、第 1 実施形態と同じであり、異なる点について説明する。前述した第 1 実施形態におけるセンスアンプ系は対称構造であったが、メモリセル 1 とダミーセル 1 1 は非対称である。この為、メモリセル 1 とダミーセル 1 1 は、別々に作成する必要性があった。

【 0 0 4 8 】 例えば、ダミーセル 1 1 を含むメモリセルマットを 2 つ用意し、これらを対称的に配列すれば、切り替えスイッチによって、対称的に構成することができる。しかし、この方式は一般に D R A M 等で使用されている、折り返しビットライン方式とは異なっている。この折り返しビットライン方式は、厳密にデータ線の寄生負荷容量を一致させるために用いられる方式である。本

実施形態の方式は、容量帰還によるデータ読出しの為、この必要はない。セルアレイは、S i デバイスとは別に、下部と上部の交差した領域で構成するため、単独でダミーセルを配置するよりも、ダミーセルをセルアレイ内部に配置する方が集積度の点からも、プロセスの点からもはるかに有利となる。本実施形態は、構成を簡単にし、記録容量を上げるとともに、必要な選択回路やパルス発生回路を有効利用するものである。

【 0 0 4 9 】 本実施形態に用いる強誘電体メモリセルは、強誘電体薄膜の上部に上部ストライプ電極を形成し、下部に上部ストライプ電極のストライプ方向にほぼ直交する方向の下部ストライプ電極を形成する。この構成により、その上部、下部ストライプ電極で挟まれた強誘電体薄膜の領域が単純マトリックスに配置され、ダミーセルがセルアレイ内に設けられた強誘電体メモリセルアレイである。

【 0 0 5 0 】 そして図 6 に示す様に、帰還容量 3 8 を有する差動アンプ 3 7 の (+) 入力端側に第 2 のライン (Y ライン) を選択するための Y 選択スイッチ 3 2 を介して、前述した強誘電体メモリセルアレイに接続する。強誘電体メモリセルアレイには、第 1 のライン (X ライン) を選択する X 選択スイッチ 3 9 を介して、パルス発生回路 4 0 a が接続される。差動アンプ 3 7 の (-) 入力端側は接地される。そして差動アンプ 3 7 の出力端は差動アンプ 1 0 の入力端の一端に接続され、その他端には、差動アンプ 3 7 側と同様に構成される、差動アンプ 4 7、Y 選択スイッチ 4 2、強誘電体メモリセルアレイ、X 選択スイッチ 4 9、パルス発生回路 4 0 b が接続されている。また、第 1 の電極ライン 3 3 とパルス発生器 3 7 の間には、参照用強誘電体容量が接続される。第 2 の電極ライン 4 3 とパルス発生器 4 2 b の間に参照用強誘電体容量が接続される。なお、パルス発生器 3 7 とパルス発生器 4 2 は同一であっても良い。

【 0 0 5 1 】 このような強誘電体メモリセルを用いてメモリ装置に構成した詳細な具体例は、後述する第 5 実施形態において説明する。

【 0 0 5 2 】 次に、第 3 実施形態の非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【 0 0 5 3 】 図 7 には、第 3 実施例として、第 1 実施形態で説明したデータ書込み読出し可能に構成された強誘電体メモリセルを実際の装置構成に用いた具体例を示す。ここで、本実施形態で用いる強誘電体メモリセル (メモリセルマット) は、単純マトリックス構成された第 2 実施形態の構成と同等であり、また図 3 乃至図 5 に記載される部位と同等の部位には同じ参照符号を付して説明する。

【 0 0 5 4 】 このメモリセルマット 2 1 は、強誘電体容量 1 と、上部電極ライン 1 9 と下部電極ライン 2 0 とで構成され、X 選択回路 2 2、Y 選択回路 2 3、センス回路 2 4、参照用ダミーセル 2 8、消去・書込み・読出し

用のパルス発生回路 26、27で構成されている。ここで、メモリセルマツト内を一括消去するためのスイッチ素子 50で構成されている。

【0055】前記 Y 選択回路 23は、データ線を選択して、データ書込みや消去のパルスを与える回路であり、複数の Y 電極ラインのそれぞれにセンスアンプ 24、参照用セル 28 及びパルス発生器 27 が接続される。これによって、データラインの分のメモリ情報を読み出す事が可能となり、高速のデータ転送速度が得られる。

【0056】次に図 8 には本実施形態における他の構成例を示す。ここで、単純マトリックスで構成されたメモリセルマツト 21、X 選択回路 22、Y 選択回路 23、センス回路 24、参照用ダミーセル 28、消去・書込み・読出し用のパルス発生回路 36で構成されている。複数の Y 電極ラインのそれぞれにセンスアンプ 24、参照用セル 28 とのパルス発生器 36 が接続されている。

【0057】次に第 4 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0058】図 9 (a) には、前述した第 1 実施形態で説明したデータ書込み読出し可能に構成された強誘電体メモリセルを実際の装置構成に用いた具体例を示す。ここで、本実施形態の部位で図 7、図 8 に示した部位と同等の部位には同じ参照符号を付して、その説明を省略する。ここで、本実施形態で用いる強誘電体メモリセル (メモリセルマツト) は、単純マトリックス構成された第 2 実施形態の構成と同等であり、強誘電体容量 1 と、上部電極ライン 19 と下部電極ライン 20 とで構成さ

れ、X 選択回路 22、Y 選択回路 23、センス回路 24、参照用ダミーセル 28、データ消去・書込み・読出し用のパルス発生回路 26、27で構成されている。

【0059】さらに、メモリセルマツト 21 内のデータを一括消去するための一括 SW 素子 50a、50b が、メモリセルマツト 21 と X 選択回路 22、Y 選択回路 23 との間にそれぞれ設けられている。

【0060】本実施形態は、図 9 (b) に示すように、まとまった複数単位の下部電極ライン (第 2 の電極ライン) 20 に接続された一括 SW 素子 50b (図示せず) と参照ダミーセル 28 との間に Y 選択 SW 23 を設け、さらに参照用パルス発生器 27 を設けている。これによって、複数の電極ラインに対して、1つのセンス系で構成でき、パターン設計がきわめて容易となる。例えば、1 マツトが 64 KB のバイト構成の場合は、X ラインを 512 本とすると、128 本に 1つのセンスアンプで構成可能となる。

【0061】次に第 5 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。第 5 実施形態の基本的構成は前述した第 2 実施形態と同じであり、図 10 (a) は基本構成を示し、第 1 実施形態の図 4 に示した構成と同等の構成であり、図 10 (b) は、図 6 に示した構成をベースとした変形例である。本

実施形態においては、第 1 実施形態ではメモリセル 1 とダミーセル 17 を別々に作成しているため、第 2 実施形態の場合と同様に、ダミーセル 17 を含むメモリセルマツトを 2 つ用意し、これらを対称的に配列する。勿論、DRAM 等で使用される折り返しビットライン方式とは異なり、本実施形態では、容量帰還による読み出しの為、データ線の寄生負荷容量を一致させる必要は無い。単に構成を簡単にし、記録容量を上げるとともに、必要な選択回路や、パルス発生回路を有効利用するものである。

【0062】図 10 (b) に示す様に、差動アンプ 7 の入力側には複数の強誘電体薄膜容量 1a が接続される。これらの強誘電体薄膜容量 1a は、互いに直交する第 1 電極 (X 電極ライン 19) と第 2 電極 (Y 電極ライン 20) で挟み、単純マトリックス構造される。Y 電極ライン 20 は、複数のメモリセル 1 と 1 個のダミーセル 11a を差動アンプ 7 の入力側に接続される。一方、差動アンプ 17 の入力側には複数のメモリセル 1b と 1 個のダミーセル 11b に接続される。

【0063】ここで、実効的な付加容量 51、52 は、同じ容量でも良いし異なっても良い。実際の構成では、センス回路 24 を含むセンス系に、上部電極 19 と上部電極 53 が対称的に接続される。ここで上部電極 19 と上部電極 53 の間の SW や差動アンプ 17 はなくても良い。上部電極 53 は、対をなす電極ライン 13 とほぼ直行する様に単純マトリックスを構成する。ダミーセル 11a、11b も電極ライン 18 や電極ライン 53 とほぼ直行する様に単純マトリックスを構成する。このようなメモリ装置の動作について、図 10 (d)、(e) を参照して説明する。センス系の右側のセル 1b の検出時は、ダミーセル 11b が使用され、センス系の右側のセル 1b の検出時はダミーセル 11b を使用するように電極ライン 1 と電極ライン 13 およびダミーセル 11a、11b の電極に接続されるパルス発生回路を制御する。

【0064】前記差動アンプ 7 に接続される電極ライン 19 と差動アンプ 17 に接続される電極ライン 52 に接続されたダミー強誘電体容量 11a、11b の数が同じであっても良いこの場合は実効的な付加容量 51、52 が同じとなり、センスアンプの負荷が同じとなるので、差動アンプに現われる信号のタイミングが同一となり、都合が良い。

【0065】次に第 6 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。本実施形態のメモリ装置の基本的構成は、前述した第 5 実施形態と同じであり、その変形例である。

【0066】図 11 には第 6 実施形態の強誘電体メモリ装置の構成を示す。この強誘電体メモリ装置においては、センス回路 63 を挟んで、Y 選択回路 62a、62b、さらにメモリセルマツト 60a、60b が設けられ

る。前記メモリセルマツト 60 a, 60 b には、X 選択回路 61 a, 61 b が設けられ、X, Y 選択回路には、パルス発生回路 65 がそれぞれ接続されている。従って、センス回路 63 を挟んで対称的にメモリセルマツト 60 a, 60 b が配置されている。このような構成において、Y 選択信号ラインは、1 本にセンス回路をそれぞれ接続しても良いし、いくつかのまとまった電極を Y 選択でまとめても良い。パルス発生回路 65 は少なくとも 1 つ必要である。

【0067】次に第 7 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0068】図 12 には、第 7 実施形態をメモリ装置の構成を示す。このメモリ装置は、センス回路 63 a ~ 63 n を挟んで、Y 選択回路 62 a1, 62 b1 ~ 62 a n, 62 b n, さらに、それぞれメモリセルマツト 60 a1, 60 b1 ~ 60 a n, 60 b n が設けられる。前記メモリセルマツト 60 a1 ~ 60 a n, 60 b1 ~ 60 b n には、それぞれ X 選択回路 61 a, 61 b が設けられ、X, Y 選択回路には、パルス発生回路 65 が接続されている。

【0069】本実施形態は、回路的には第 5 実施形態の装置を積層させた構成となっている。この構成においては、センス回路 63 a ~ 63 n を挟んで、Y 選択回路 62 a1, 62 b1 ~ 62 a n, 62 b n 32 とメモリセルマツト 60 a1, 60 b1 ~ 60 a n, 60 b n がほぼ対称に構成された構成単位を複数もつ。

【0070】図 13 に示す構成は、第 7 実施形態の変形例であり、電極ライン 19 a, 19 b は Y 方向の構成単位で共有化しており、またダミーセル 11 a1 ~ 11 a n, 11 b1 ~ 11 b n も Y 方向の構成単位で共有化している。

【0071】次に図 14 を参照して、第 8 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置のデータの書込みと読出しの方式は、図 3 (a) から (c) と同一である。

【0072】互いに直交する一対の上部、下部電極により挟持された強誘電体薄膜容量を記憶セルとする単純マトリックスに構成される強誘電体メモリにおいて、強誘電体薄膜内の自発分極（分極）の 2 つの状態のうちの第 1 の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第 1 のパルス（消去用パルス）を印加して分極し、次に、前記印加電圧 V_e とは、逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第 2 のパルス（書込み用パルス）を印加し、前記第 1 の方向の分極を有するドメインと、前記第 1 の方向とは逆方向の第 2 の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式である。

【0073】本実施形態は、図 14 に示す様に、チップ全体のメモリセルマツトは 1 つ以上のセクター 66 と呼ばれるひと塊の記憶単位で構成されており、このセクタ

ー 66 には、少なくとも 1 つ以上の参照用メモリセル（ダミーセル）28 が設けられる。このメモリセル内のデータは、一括して消去される。

【0074】また図 14 において、メモリセルおよび、ダミーセルへのデータ書込みはセクタ単位で一括して行ってもよい。セクター 66 内のデータ読出しは、ランダムアクセスを可能とする。また、1 チップ内に複数のセクター 66 とセクター制御回路 67 を有した不揮発性メモリチップであっても良い。

【0075】また図 15 に示す様に、各セクター 40 にはメモリセルマツト 21 と、X 選択回路 21 と、Y 選択回路 23 と、センス回路 24 と、少なくとも 1 つのダミーセル 28 と、制御回路 26 とで構成してもよい。

【0076】さらに図 16 に示す様に、メモリセルマツトを含む複数のチップとバスライン 68 と I/O 回路 69 と制御回路 70 と外部との出入力するための出力端子 71 を有した、脱着可能なメモリ装置、例えばメモリカードに用いることができる。次に図 17 を参照して、第 9 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0077】このメモリ装置は、データの書込みと読出しを行う方式は、図 3 (a) から (c) と同一であり、この構成は第 8 実施形態と同じである。

【0078】図 17 において、複数のセクター 66 を含む、ブロック 72 で構成されており、1 チップが複数のブロック 72 で構成される。

【0079】またブロック 72 はブロック単位で一括消去回路 73 により一括消去され、各セクター 66 単位でデータ書込みを行い、データ読出しは、ランダムアクセスされて行われてもよい。またブロック 72 はブロック単位で一括消去回路 73 により一括消去され、各セクター 66 単位で書込みを行い、読出しは同様に一括読み出しされてもよい。

【0080】次に図 18 を参照して、第 10 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0081】このメモリ装置は、データの書込みと読出しの方式は、第 1 実施形態と同等であり、その構成は第 8 実施形態をベースとしている。

【0082】このメモリ装置は、複数の X 選択回路 22 とセンス回路の機能を含む Y 選択回路 75 と、ダミーセル 28 を含むメモリセルからなるメモリセルエリア 74 と、パルス発生回路 65 とで構成される。1 チップまたはブロック単位で各セクターは、X 選択回路 22 は共通で、Y 選択回路 75 は独立している。また、複数のチップとバスライン 68 と I/O 回路 65 と制御回路 70 と出力端子 71 を有した、脱着可能なメモリ装置、例えばメモリカードに用いることができる。

【0083】次に図 19 を参照して、第 11 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法

について説明する。このメモリ装置は、データの書込みと読出しを行う方式は、図 3 (a) から (c) と同等である。

【 0 0 8 4 】本実施形態は、1チップ80上にメモリ部81とメモリマネージメント機能82とI/O回路83を搭載した脱着可能なメモリ装置、例えばメモリカードに用いるものである。

【 0 0 8 5 】前記メモリマネージメント機能82は、メモリ部81内の記憶領域をブロックまたはセクター単位でデータの消去、書込み、読出しを制御し、各セクター単位でジレクトリー（番地情報）やキーワード情報を有してもよい。

【 0 0 8 6 】次に図 2 0 を参照して、第 1 2 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置は、前述した第 8 実施形態をベースとした変形例であり、データの書込みと読出しを行う方式は、図 3 (a) から (c) と同等である。

【 0 0 8 7 】互いに直交する一対の上部、下部電極により挟持された強誘電体薄膜容量を記憶セルとする単純マトリックスに構成される強誘電体メモリにおいて、強誘電体薄膜内の自発分極（分極）の 2 つの状態のうちの第 1 の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第 1 のパルス（消去用パルス）を印加して分極し、次に、前記印加電圧 V_e とは、逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第 2 のパルス（書込み用パルス）を印加し、前記第 1 の方向の分極を有するドメインと、前記第 1 の方向とは逆方向の第 2 の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式である。

【 0 0 8 8 】本実施形態の構成は、1チップまたは複数のチップからなり、メモリ部81、アンテナ85、同調回路86、検波回路87、復調回路88、発振回路91、変調回路90、制御回路89で生成及び発振された電波でデータ信号をやり取りする、脱着可能なメモリ装置、たとえばメモリカードに用いるものである。また、電波から駆動するための電圧を取り出す電圧発生回路92を備えた脱着可能なメモリ装置であってもよい。またアンテナ85以外の部位を1チップ上に形成させた脱着可能なメモリ装置、たとえばメモリカードであってもよい。

【 0 0 8 9 】また集積化アンテナを含む1チップ化した電波で信号をやり取りする、脱着可能なメモリ装置、たとえばメモリカードであってもよい。

【 0 0 9 0 】また本実施形態では、電波はマイクロ波からミリ波を使用しているがこれに限定はされない。

【 0 0 9 1 】本実施形態は、強誘電体薄膜を記憶媒体とするメモリ装置であり、低駆動電圧、高速消去、高速書き込み、高速読み出し、高集積に加えて、非破壊と言う他に類を見ない特徴をもっている。すなわち、外部記録

装置が個体化され、駆動部がなくなって、高信頼化し、かつ高速、低電力化がはかられたことである。これで初めて、電波による電池を持たない、大容量データキャリアが実現可能となる。たとえば、カードの容量は4Mバイトから256Mバイトに及ぶ。これらは、あらゆるニーズを満足可能である。

【 0 0 9 2 】次に図 2 1 (a) , (b) を参照して、第 1 3 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第 1 2 実施形態をベースとしたものであり、データの書込みと読出しを行う方式は、図 3 (a) から (c) と同等である。

【 0 0 9 3 】本実施形態は、第 1 2 実施形態に示したメモリカードを用いて、送受信の機能となる信号変復調回路を含むRFアンテナやマイクロ波アンテナを通常のコンピュータ、小型コンピュータに備え付けて、個人特有のデータを電波でやり取り可能なものである。また、電波で情報の通信可能なメモリカード98より個人参照番号を読み取り、自動的に環境設定することができることでもよい。

【 0 0 9 4 】図 2 1 (b) のフローチャートを参照して、動作について説明する。

【 0 0 9 5 】まず、送受信の機能が備え付けられたコンピュータの前に着座する（ステップS1）。コンピュータ側でメモリカード98から発振されるID番号を読み取り（ステップS2）、ID番号に基づき、コンピュータが予め設定した環境に設定される（ステップS3）。さらにメモリカード98より個人に関する情報を読み取り（ステップS4）、実際の作業に取り掛かる（ステップS5）。その作業終了の後に、新たな個人情報メモリカード98に書き込み（ステップS6）、一連の工程を終了する。また再度、作業を行う場合に、コンピュータの前に着座するのみで、前述した処理が行われ、同様に作業に取り掛かることができる。

【 0 0 9 6 】本実施形態は、強誘電体薄膜を記録媒体に用いて、低電圧、高速消去、高速書き込み、高速読み出し、高集積に加えて、非破壊読出しという特徴をもっている。すなわち、外部記録装置が個体化され、駆動部を不要として、高信頼化し、且つ高速処理、低消費・低駆動電力化が実現される。よって、電波を電源に変換して駆動することにより、電池を持たない、大容量データキャリアが実現可能となる。例えば、メモリカードの容量は4Mバイトから256Mバイトに及ぶ。これらは、コンピュータの個人ワイヤレスカードのニーズを満足することが可能である。

【 0 0 9 7 】次に図 2 2 を参照して、第 1 4 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第 1 2 実施形態に記載したメモリカードを用いたものであり、データの書込みと読出しを行う方式は、図 3 (a) から

10

20

30

40

50

(c) と同等である。

【 0 0 9 8 】本実施形態は、自動車に搭載した、ドアロック 1 0 1、車載用コンピュータ 1 0 2、ナビゲーションシステム 1 0 3 等に信号変復調回路を含む R F アンテナやマイクロ波アンテナ 8 5 を有し、個人特有のデータを電波でやり取り可能なメモリカード 9 8 である。

【 0 0 9 9 】このシステムは、前述したようなメモリカード 9 8 を携帯する運転者が自動車に近付くと、自動車側で起動し、ドアロック 1 0 1 の解除、ナビゲーションシステム 1 0 3 等の起動を行い、従来運転者が行っていた作業を、個人のレベルで好適する状況設定を行うものである。

【 0 1 0 0 】本実施形態によれば、低電圧、高速消去、高速書き込み、高速読み出し、高集積に加えて、非破壊読み出しという特徴をもっている。すなわち、外部記録装置が個体化され、駆動部を不要として、高信頼化し、且つ高速、低消費電力、低駆動電力化が実現されることである。よって、電波による電池を持たない、大容量データキャリアが実現可能となる。例えば、メモリカードの容量は 4 M バイトから 2 5 6 M バイトに及ぶ。これらは、自動車用の個人ワイヤレスファイルのニーズを満足可能である。

【 0 1 0 1 】次に図 2 3 を参照して、第 1 5 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第 1 2 実施形態に記載したメモリカードを用いたものであり、データの書き込みと読み出しを行う方式は、図 3 (a) から

(c) と同等である。

【 0 1 0 2 】本実施例は、部屋のドアに搭載した、自動ロック機構 1 0 4、ID 認識装置 1 0 5、位置認識装置 1 0 6 等に信号変復調回路を含む R F アンテナやマイクロ波アンテナ 5 8 を有し、個人特有のデータを電波でやり取り可能なメモリカード 9 8 である。

【 0 1 0 3 】本実施形態によれば、予め設定した特定の者のみが入室できるシステムが構築され、前述した第 1 4 実施例と同等の効果が得られる。

【 0 1 0 4 】次に図 2 4 を参照して、第 1 6 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第 1 2 実施形態に記載したメモリカードを用いたものであり、データの書き込みと読み出しを行う方式は、図 3 (a) から (c) と同等である。

【 0 1 0 5 】自動テラ装置 (自動預金、引き出し装置) 1 0 7 に搭載した、信号変復調回路を含む R F アンテナやマイクロ波アンテナ 1 0 8 を有し、個人特有のデータを電波でやり取り可能なメモリカード 9 8 である。

【 0 1 0 6 】本方式は強誘電体を用いて、低電圧、高速消去、高速書き込み、高速読み出し、高集積に加えて、非破壊と言う他に類を見ない特徴をもっている。すなわち、外部記録装置が個体化され、駆動部がなくなって、

高信頼化し、かつ高速、低電力化がはかられたことである。これで初めて、電波による電池を持たない、大容量データキャリアが実現可能となる。たとえば、カードの容量は 4 M バイトから 2 5 6 M バイトに及ぶ。これらは、アカウントの個人ワイヤレスファイルのニーズを満足可能である。

【 0 1 0 7 】次に図 2 5 を参照して、第 1 7 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第 1 2 実施形態に記載したメモリカードを用いたものであり、データの書き込みと読み出しを行う方式は、図 3 (a) から (c) と同等である。

【 0 1 0 8 】図 2 5 に示すメモリ装置は、家庭用テレビ、ゲーム装置、家庭データ端末 1 0 9 に搭載した、信号変復調回路を含む R F アンテナやマイクロ波アンテナ 1 1 0 を備え付け、個人特有のデータを電波でやり取り可能なメモリカード 9 8 である。このメモリカード 9 8 に、その所有者の健康状況やアカウント情報やビジネス情報や F A X 情報など、種々の情報を提供することができる。よって、本実施形態によれば、前述した第 1 5 実施例と同等の効果が得ることができる。

【 0 1 0 9 】次に図 2 6 を参照して、第 1 8 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第 1 2 実施形態をベースとしたものであり、データの書き込みと読み出しを行う方式は、図 3 (a) から (c) と同等である。

【 0 1 1 0 】1 チップまたは複数のチップからなる、マトリックス状に強誘電体薄膜を記録媒体とするメモリセルが配置されるメモリ部 8 1 と、制御回路 8 9 と、高速光変調素子および高速回路ホトダイオード 1 1 2、光発電電池 1 1 1 で構成される、脱着可能なメモリ装置、たとえばメモリカード 9 8 である。

【 0 1 1 1 】前述した実施形態においては、電波により通信を行っていたが、本実施形態のメモリカード 9 8 は、光によりデータの書き込み、読み出しを行うものであり、前述した第 1 5 実施例と同じ効果が得られる。

【 0 1 1 2 】次に図 2 7 を参照して、第 1 9 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置は、データの書き込みと読み出しを行う方式は、図 3 (a) から (c) と同等である。

【 0 1 1 3 】互いに直交する一対の上部、下部電極により挟持された強誘電体薄膜容量を記憶セルとする単純マトリックスに構成される強誘電体メモリにおいて、強誘電体薄膜内の自発分極 (分極) の 2 つの状態のうちの第 1 の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第 1 のパルス (消去用パルス) を印加して分極し、次に、前記印加電圧 V_e とは、逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第 2 の

パルス（書き込み用パルス）を印加し、前記第 1 の方向の分極を有するドメインと、前記第 1 の方向とは逆方向の第 2 の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式である。

【0114】図 2 7 は、上面から見たメモリセルマット 2 1 と周辺回路 1 1 5 の位置関係を示す。また図 2 8 (a) 乃至 (c) は、このメモリセルマット 2 1 を形成するためのプロセスを示す図である。

【0115】強誘電体薄膜を、ストライプ電極として形成される上部電極ライン 1 9 と、これとほぼ直交するストライプ電極として形成される下部電極ライン 2 0 とで挟み、挟まれた交点の領域にメモリセル 1 が形成される。これらのメモリセル 1 は、単純マトリックスに配置される。

【0116】この単純マトリックスメモリセルマット 2 1 が、シリコン酸化膜 1 2 1 を含む領域の上部に形成され、周辺回路 1 1 5 は、このメモリマトリックスマット 2 1 以外の領域に形成される。

【0117】予め形成したバイポーラトランジスタや MOS トランジスタ 1 2 4 を含む半導体基板を P S G や B P S G 等のパッシベーション膜 1 2 2 まで成膜し、デバイスの拡散層と接続するコンタクトホールを形成前に、酸化膜 1 2 1 を含む、例えば、P S G や B P S G 等のパッシベーション膜 1 2 2 の上層に下部電極ライン 2 0、強誘電体薄膜 1 2 5、上部電極ライン 1 9 の順に積層形成する。

【0118】ここで、上、下電極ラインは、通常、蒸着装置、スパッタリング装置、マグネトロンスパッタ装置等を用いて成膜し、エッチング加工は、通常のホトリソグラフィとドライエッチング装置、イオンエッチング装置、反応性イオンエッチング装置、イオンミリング装置等を用いて行う。また、強誘電体はゾルゲル法や有機金属分解法等のスピン塗布法、スパッタリングや M O C V D 等で行い、使用材料は、上下電極として白金族元素、導電性酸化物、接着層を含む組み合わせ等が好適する。勿論、これらに限定されるものでなく、同等に使用できる材料であれば良い。また強誘電体は、P Z T、P L Z T、B i 層状化合物等が好適する。最上層に保護膜 1 2 6 を行う。

【0119】この後、半導体デバイス 1 2 4 と上下部電極ライン 1 9、2 0 双方に、同時にまたは別々に、v i a ホールの形成を行い、アルニウムミ、または耐熱バリア層付アルミニウム等の配線を行う。この後、再度、保護膜を成膜する。

【0120】また、本実施形態において、周辺回路はこのメモリマトリックスマットの周辺の領域に形成しても良いし、チップ内の機能に応じて分散してもよい。

【0121】次に図 2 9 を参照して、第 2 0 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。このメモリ装置の構成は、第 1 2 実

施形態をベースとして、データの書き込みと読み出しを行う方式は、図 3 (a) から (c) と同等である。

【0122】図 2 9 (a) は、メモリセルマット 2 1 と周辺回路 1 1 5 の位置関係を示す。また図 2 9 (b)、(c) は製造工程における断面構造を示す。ここで周辺回路 1 1 5 を敷き詰めた回路上層に、強誘電体薄膜を記録媒体に用いた単純マトリックスのメモリセルマット 2 1 が形成されるものである。

【0123】図 2 9 (b) に示すように、予め形成したアクティブデバイスとなるバイポーラトランジスタや MOS トランジスタ 1 2 4 を含む半導体基板上に P S G や B P S G 等のパッシベーション膜 1 2 2 まで成膜し、デバイスの拡散層と接続するコンタクトホールを形成した後に、1 層または複数の配線を行う。これらのデバイスと回路の形成後に、適当な層間膜 1 2 8 を形成し、v i a ホールを予め形成し、その上に下部電極ライン 2 0、強誘電体薄膜 1 2 5、上部電極ライン 1 9 の順に形成する。形成方法および材料は、前述した第 1 9 実施形態と同等でよい。

【0124】また周辺回路や制御回路を含む中央処理装置やデジタル信号処理装置が半導体基板上のアクティブデバイスに形成されても良い。

【0125】本実施形態によれば、メモリセルにトランジスタを持っていない為、半導体チップを有効に使用できる。例えば、3 2 ビットの中央処理回路をアクティブ素子に形成し、またメモリを積層して、1 チップマイコンが形成可能となる。また中央処理回路含むデジタル信号処理装置をアクティブ素子として形成し、またメモリを積層して、1 チップの記録装置付完全音声、画像処理機能を形成可能となる。次に図 3 0 を参照して、第 2 1 実施形態としての非破壊型強誘電体メモリ装置およびその駆動方法について説明する。

【0126】本実施形態において、メモリセル内にトランジスタを持っていない為、単純マトリックスで構成される、強誘電体のメモリセルマットは 1 層のみならず、複数積層化可能となる。少なくとも 2 つの複数の上部電極ライン 2 0 と下部電極ライン 1 9 の対が積層できる。

【0127】本実施形態によれば、メモリセル内にトランジスタを含まない為、半導体チップを有効に使用できる。例えば、3 2 ビットの中央処理回路をアクティブ素子として形成し、またメモリセルを積層して、1 チップマイコンが形成可能となる。また中央処理回路含むデジタル信号処理装置をアクティブ素子として形成し、またメモリセルを積層して、1 チップの記録装置付完全音声、画像処理機能が形成可能となる。

【0128】また本実施形態によれば、緩い加工ルールで極めて膨大なメモリが集積化可能となる。ここで、1 ミクロンの加工ルールですら、この実施形態では、4 層積層によって、5 1 2 M b i t から 2 G b i t の不揮発性メモリが可能となり、これらは、マルチメディアに好

10

20

30

40

50

適する。

【0129】以上の実施形態に基づいて説明したが、本明細書には、以下のような発明も含まれる。

【0130】(1) 互いに直交する第1、第2の電極により挟持された強誘電体薄膜容量を記憶セルとする強誘電体メモリにおいて、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルス印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式において、 V_e より絶対値で同じかまたは小さい、正または負の読み出しパルス V_r を用いて、非破壊的にメモリ情報を読み出し、前記強誘電体薄膜容量とは別に設けられた比較ダミー強誘電体薄膜容量と、前記強誘電体薄膜容量に接続された容量で帰還をかけられた第1の差動型アンプと、前記比較ダミー強誘電体薄膜容量に接続された容量で帰還をかけられた第2の差動型アンプと、これらの差動型アンプとの出力を入力する第3の差動型アンプで構成された強誘電体メモリ装置。

【0131】(2) 前記強誘電体メモリ装置において、前記強誘電体薄膜容量素子を複数有し、該強誘電体薄膜容量素子には選択用スイッチを通して、第1の消去用パルス、第1の書き込み用パルス、第1の読出し用パルスを生成する第1のパルス発生器に接続され、比較ダミー強誘電体薄膜容量素子に選択用スイッチを通して、第2の消去用パルス、第2の読出し用パルスを生成する第2のパルス発生器に接続されることを特徴とする前記(1)記載の強誘電体メモリ装置。

【0132】(2) 前記強誘電体メモリ装置において、前記強誘電体薄膜容量素子を複数有し、該強誘電体薄膜容量素子には選択用スイッチを通して、第1の消去用パルス、第1の書き込み用パルス、第1の読出し用パルスを生成する第1のパルス発生器に接続され、比較ダミー強誘電体薄膜容量素子に選択用スイッチを通して、第2の消去用パルス、第2の書き込み用パルス、第2の読出し用パルスを生成する第2のパルス発生器に接続されることを特徴とする前記(1)記載の強誘電体メモリ装置。

【0133】(3) 前記強誘電体メモリ装置において、前記ダミーセルの面積は、第1の方向と部分分極状態の容量差と該第1の方向の容量の比の約 $1/2$ 、メモリセルの面積より大きいことを特徴とする前記(1)記載の強誘電体メモリ装置。

【0134】(4) 前記強誘電体メモリ装置において、ダミーセルの面積は第1の方向と部分分極状態の容量差と第1の方向の容量の比の $8/10$ から $2/10$ の範囲でメモリセル面積より大きいことを特徴とする前記

(1) 記載の強誘電体メモリ装置。

【0135】(5) 前記強誘電体メモリ装置において、前記強誘電体薄膜容量と第1の差動型アンプの間に第1の切り換えスイッチと、比較ダミー強誘電体薄膜容量と第2の差動型アンプの間に第2の切り換えスイッチが設けることを特徴とする前記(1)項及び(2)項のいずれか1項に記載の強誘電体メモリ装置。

【0136】(6) 前記強誘電体メモリ装置において、前記第1の差動型アンプの一方の入力端子及び前記第1の切り換えスイッチの一方の端子が、0バイアスまたは同一電位であり、前記第2の差動型アンプの一方の入力端子及び第2の切り換えスイッチの一方の端子が、0バイアスまたは同一電位に設定されることを特徴とする前記(1)項乃至(3)項のいずれか1項に記載の強誘電体メモリ装置。

【0137】従って、前記(1)乃至(6)項によれば、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルス13を印加して分極し、次に、前記印加電圧 V_e とは逆極性の電圧 V_w を有する第2のパルス14を印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインが混合した部分分極状態にて情報の記憶を行なう。この状態は容量の差として現われるが、読み出し電圧で読み出す場合は容量比 $\Delta C/C$ が小さい為、増幅する必要がある。このとき C が温度依存性やデータ保持時間依存性等を考えると強誘電体容量を用いた参照セルによる比較読み出しが必要である。ここで、小さな $\Delta C/C$ をデータ線の電圧変化なしで読み出せる容量付加帰還回路と参照セルとの比較読み出しを組み合わせたセンス回路で、この非破壊の大容量メモリが可能となる。よって、小さな $\Delta C/C$ をデータ線の電圧変化なしで読み出せる容量付加帰還回路と参照セルとの比較読み出しを組み合わせたセンス回路で、書き込み時の非干渉性および、読み出し時の非干渉性、非破壊読み出しを実現可能で且つ大規模化及び大容量化に好適する非破壊型強誘電体メモリが実現可能となる。

【0138】(7) 前記強誘電体メモリ装置において、前記第1の差動型アンプに接続される強誘電体薄膜容量は、複数であることを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0139】(8) 前記強誘電体メモリ装置において、前記第1の差動型アンプに接続される強誘電体薄膜容量は、ストライプ状の上部電極と、それにほぼ直交するストライプ状の下部電極が交差し、且つ上部電極と株電極が交差し、これらに挟まれた領域である単純マトリックス構造であることを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0140】(9) 前記強誘電体メモリ装置において、前記第1の電極に接続するライン選択回路と、前記ライン選択回路を通して接続されるパルス発生器とを特

10

20

30

40

50

微とする前記(8)項に記載の強誘電体メモリ装置。

【0141】(10) 前記強誘電体メモリ装置において、前記第2の電極と前記第1の差動アンプの間に接続されるライン選択回路を有することを特徴とする前記(7)項及び(8)項のいずれか1項に記載の強誘電体メモリ装置。

【0142】(11) 前記強誘電体メモリ装置において、前記第2の差動型アンプに接続される第2の強誘電体薄膜容量は複数であることを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0143】(12) 前記強誘電体メモリ装置において、前記第2の強誘電体薄膜容量の電極と前記第2の差動アンプとの間に接続されるライン選択回路を有することを特徴とする前記(1)項、(7)項乃至(11)項のいずれか1項に記載の強誘電体メモリ装置。

【0144】(13) 前記強誘電体メモリ装置において、前記第2の強誘電体容量の電極と前記第2のパルス発生する第2のパルス発生器の間に接続されるライン選択回路を有することを特徴とする前記(1)項、

(7)項乃至(11)項のいずれか1項に記載の強誘電体メモリ装置。

【0145】(14) 前記強誘電体メモリ装置において、前記第1の電極ラインと前記第1のパルス発生器の間に参照用強誘電体容量が接続されたことを特徴とする前記(1)項、(7)項乃至(13)項のいずれか1項に記載の強誘電体メモリ装置。

【0146】(15) 前記強誘電体メモリ装置において、前記第2の電極ラインと前記第1のパルス発生器の間に参照用強誘電体容量が接続されたことを特徴とする前記(1)項、(7)項乃至(14)項のいずれか1項に記載の強誘電体メモリ装置。

【0147】(16) 前記強誘電体メモリ装置において、前記第1のパルス発生器と前記第2のパルス発生器が同等であることを特徴とする前記(1)項、(7)項乃至(15)項のいずれか1項に記載の強誘電体メモリ装置。

【0148】従って、前記(7)項乃至(16)項によれば、単純マトリックスのなかにダミー参照用のセルを作りこみ、これを同一のパルス駆動回路で駆動する。

【0149】よって、容易に製造及びパターン設計でき、安定して駆動する。

【0150】(17) 前記強誘電体メモリ装置において、さらに、メモリセルマトと、第1の電極ラインに接続された一括スイッチと、第1の選択回路と、第1のパルス発生器と、センスアンプと第2の電極ラインに接続された別の一括スイッチと、前記第1のパルス発生器と同等の第2のパルス発生器と参照セルと、参照用パルス発生器とを具備することを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0151】(18) 前記強誘電体メモリ装置において

て、複数の前記2の電極ラインのそれぞれにセンスアンプ及び参照用セルとパルス発生器が接続されたことを特徴とする前記(17)項に記載の強誘電体メモリ装置。

【0152】従って、前記(17)項及び(18)項によれば、各データ線の出力がセンス回路に接続され、各データ線単位の参照用ダミーセルが配列された為、データ線単位で信号をよみとる。

【0153】よって、大量のデータを一度読み出すことが可能となる。

10 【0154】(19) 前記強誘電体メモリ装置において、前記第2の電極ラインに接続された別の一括スイッチと参照セルとの間に選択スイッチと参照用パルス発生器を持つことを特徴とする前記(17)項に記載の強誘電体メモリ装置。

【0155】(20) 前記強誘電体メモリ装置において、さらに、複数単位に第2の電極ラインに選択回路通して、それぞれにセンスアンプ、参照用セルとのパルス発生器が接続されたことを特徴とする前記(17)項に記載の強誘電体メモリ装置。

20 【0156】従って、前記(19)項及び(20)項によれば、任意数の単位のデータ線に選択回路を設け、その出力がセンス回路に接続され、任意数の単位のデータ線の参照用ダミーセルが配列された為、データ線を選択して信号をよみとる。

【0157】よって、バイト単位等の大量のデータを一度読み出すことが可能となる。またセンス回路のパターン設計が可能となる。

【0158】(21) 前記強誘電体メモリ装置において、さらに、前記第1の差動アンプに接続される第1の電極ラインと、第2差動アンプに接続される第2の電極ラインに複数のメモリセル強誘電体容量と、少なくとも1つ以上のダミー強誘電体容量が接続されたことを特徴とする前記(1)項に記載の強誘電体メモリ装置。

【0159】(22) 前記強誘電体メモリ装置において、前記第1の差動アンプに接続される第1の電極ラインと、前記第2差動アンプに接続される第2の電極ラインにそれぞれ接続されたメモリセル強誘電体容量の数が同じであることを特徴とする前記(21)項に記載の強誘電体メモリ装置。

40 (23) 前記強誘電体メモリ装置において、前記第1の差動アンプに接続される第1の電極ラインと、前記第2差動アンプに接続される第2の電極ラインのそれぞれに接続されたダミー強誘電体容量の数が同じであることを特徴とする前記(21)項に記載の強誘電体メモリ装置。

【0160】(24) 前記強誘電体メモリ装置において、前記第1の差動アンプと接続される第1の電極ラインに接続されたメモリセル強誘電体容量の情報の読み出し時に、前記第2差動アンプに接続される第2の電極ラインに接続されたダミー強誘電体容量を用いて比較読み

出しを行い、前記第 2 の差動アンプに接続される第 2 の電極ラインに接続されたメモリセル強誘電体容量の読み出し時に、前記第 1 差動アンプに接続される第 1 の電極ラインに接続されたダミー強誘電体容量を用いて比較読み出しを行うことを特徴とする前記 (2 1) 項に記載の強誘電体メモリ装置。

【 0 1 6 1 】 (2 5) 前記強誘電体メモリ装置において、前記第 1 の差動アンプに接続される第 1 の電極ラインと第 3 の電極ラインは、ほぼ直行して単純マトリックスを形成し、前記第 2 差動アンプに接続される第 2 の電極ラインと第 4 の電極ラインは、ほぼ直行して単純マトリックスを形成していることを特徴とする前記 (2 1) 項に記載の強誘電体メモリ装置。

【 0 1 6 2 】 (2 6) 前記強誘電体メモリ装置において、前記ダミー強誘電体容量は、第 1 の電極ラインとほぼ直行した第 3 の電極との交点として与えられ、前記ダミー強誘電体容量は、第 2 の電極ラインとほぼ直行した他の電極との交点として与えられることを特徴とする前記 (2 1) 項に記載の強誘電体メモリ装置。

【 0 1 6 3 】 従って、前記 (2 1) 項及び (2 6) 項によれば、2 つの単純マトリックスのなかにメモリセルと参照メモリセルを作成し、比較することにより、1 つのセンス回路で 2 倍のセルを読み出せる。

【 0 1 6 4 】 よって、データ線容量が同じであるため、容易にセンスアンプの設計ができ、かつ、センスアンプ面積が有効利用できる。

【 0 1 6 5 】 (2 7) 前記強誘電体メモリ装置において、さらに、複数の X 選択回路と、Y 選択回路と、メモリセルマットとパルス発生回路とセンスアンプとで構成され、センスアンプをはさんで、Y 選択回路とメモリセルマットがほぼ称に構成されたことを特徴とする前記 (1) 項に記載の強誘電体メモリ装置。

【 0 1 6 6 】 従って、前記 (2 7) 項によれば、メモリセルをセンスアンプを介して対称に置くことにより、有効な面積に効率良くメモリマットを配置可能となる。

【 0 1 6 7 】 よって、ビット密度を大きく取ることが可能となる。

【 0 1 6 8 】 (2 8) 前記強誘電体メモリ装置において、前記センスアンプをはさんで、Y 選択回路とメモリセルマットがほぼ称に構成された構成単位を複数もつことを特徴とする前記 (2 7) 項に記載の強誘電体メモリ装置。

【 0 1 6 9 】 (2 9) 前記強誘電体メモリ装置において、第 1 のメモリセルと、第 1 のダミーセルおよび第 2 のメモリセルと第 2 のダミーセルが、互いにほぼ直行する上下電極にはさまれた単純マトリックスで構成されたことを特徴とする前記 (2 8) 項に記載の強誘電体メモリ装置。

【 0 1 7 0 】 従って、前記 (2 8) 項及び (2 9) 項によれば、メモリセルを X 選択回路を共有化しかつ、Y 選

択回路やセンスアンプを分割し、機能を分散可能となる。参照用セルを同時に作成可能である。

【 0 1 7 1 】 よって、ビット密度を上げ、高機能化をはかることが可能となる。

【 0 1 7 2 】 (3 0) 一対の電極により挟持された強誘電体薄膜容量を記憶セルとする強誘電体メモリ装置において、自発分極 (分極) の 2 つの状態のうちの第 1 の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第 1 のパルスを印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第 2 のパルスを印加し、前記第 1 の方向の分極を有するドメインと、前記第 1 の方向とは逆方向の第 2 の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう方式において前記強誘電体メモリセルおよび、参照用メモリセルがほぼ直行する一対の電極による、単純マトリックスで構成されており、チップ全体のメモリセルマットは、1 つ以上のセクターと呼ばれるひと塊の記録単位で構成されており、このセクターに少なくとも一つ以上の参照用メモリセルが配置され、このメモリセル内は一括して消去がなされることを特徴とした強誘電体メモリ装置。

【 0 1 7 3 】 (3 1) 前記強誘電体メモリ装置において、前記強誘電体メモリセル及び、参照用メモリセルの書き込みがセクタ単位で一括しておこなわれることを特徴とする前記 (3 0) 項に記載の強誘電体メモリ装置。

【 0 1 7 4 】 (3 2) 前記強誘電体メモリ装置において、前記セクター内の読み出しは、ランダムアクセスでできることを特徴とする前記 (3 0) 項に記載の強誘電体メモリ装置。

【 0 1 7 5 】 (3 3) 前記強誘電体メモリ装置において、さらに、1 チップ内に複数のセクターとセクター制御回路を有した不揮発性メモリチップであることを特徴とする前記 (3 0) 項に記載の強誘電体メモリ装置。

【 0 1 7 6 】 (3 4) 前記強誘電体メモリ装置において、各セクターにはメモリセルマット、X 選択センス回路、Y 選択センス回路、少なくとも 1 つのダミーセル、及び制御回路を有することを特徴とする前記 (3 1) 項に記載の強誘電体メモリ装置。

【 0 1 7 7 】 (3 5) 前記強誘電体メモリ装置において、複数のチップとバスラインと I/O 回路と制御回路と出力端子とを有し、脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする前記 (3 3) 項、(3 4) 項のいずれか 1 項に記載の強誘電体メモリ装置。

【 0 1 7 8 】 従って、前記 (3 0) 項乃至 (3 5) 項によれば、メモリの最小単位をセクター化してそのなかで、消去、書き込みの単位とする。

【 0 1 7 9 】 よって、非干渉の書き込み、書き込み時の非破壊性を保証する。

【 0 1 8 0 】 (3 6) 前記強誘電体メモリ装置におい

て、複数のセクターを含む、ブロックで構成されており、1チップが複数のブロックで構成されたことを特徴とする前記(30)項に記載の強誘電体メモリ装置。

(37) 前記強誘電体メモリ装置において、前記ブロック単位で情報が一括消去され、各セクター単位で情報の書き込みを行い、情報の読出しはランダムアクセスされることを特徴とする前記(36)項に記載の強誘電体メモリ装置。

[0181] (38) 前記強誘電体メモリ装置において、前記ブロック単位で情報が一括消去され、各セクター単位で情報の書き込みを行い、情報の読出しは一括読み出しされることを特徴とする前記(36)項に記載の強誘電体メモリ装置。

[0182] 従って、前記(36)項乃至(38)項によれば、消去の最小単位をブロック化し、メモリの、書き込みの最小単位をセクター化して情報を読み出す。

[0183] よって、非干渉の書き込み、書き込み時の非破壊性を保証する。

[0184] (39) 前記強誘電体メモリ装置において、複数の、X選択回路と、Y選択回路と、メモリセルマツトと、パルス発生回路と、センスアンプとで構成され、前記センスアンプを挟んで、Y選択回路とメモリセルマツトがほぼ対称に配置され、1チップまたはブロック単位で各セクターはX選択回路は、共通でY選択回路は独立して配置されることを特徴とする前記(30)項及び(36)項のいずれか1項に記載の強誘電体メモリ装置。

[0185] (40) 前記強誘電体メモリ装置において、複数のチップとバスラインとI/O回路と制御回路と出力端子を有し、脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする前記(37)項乃至(39)項のいずれか1項に記載の強誘電体メモリ装置。

[0186] 従って、前記(39)項及び(40)項によれば、X選択に共通なメモリセル領域をブロックとして消去の単位とし、ある単位のY選択をセクターとして、書き込みの単位とする。

[0187] よって、ビット密度を上げ、高機能化をはかることが可能となる。

[0188] (41) 前記強誘電体メモリ装置において、1チップにメモリ部とメモリマネージメント機能とI/O回路を有した、脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする前記(37)項乃至(39)項のいずれか1項に記載の強誘電体メモリ装置。

[0189] (42) 前記強誘電体メモリ装置において、前記メモリマネージメント機能は、メモリ部内のブロックまたはセクター単位の記憶セルに対して、情報の消去、書き込み、読出し機能を制御し、各セクター単位でディレクトリ(番地情報)やキーワード情報を有するこ

とを特徴とする前記(41)項に記載の強誘電体メモリ装置。

[0190] (43) 前記強誘電体メモリ装置において、前記制御回路は、MPUで構成されており、メモリ部内のブロックまたはセクター単位の記憶セルに対する情報の消去、書き込み、読出し機能を制御し、各セクター単位でディレクトリ(番地情報)やキーワード情報を有したことを特徴とする前記(40)項に記載の強誘電体メモリ装置。

[0191] 従って、前記(41)項乃至(43)項によれば、セクターおよびブロックの使用状況をディレクトリが管理し、メモリが使用しやすくなる。

[0192] よって、大容量のメモリが簡単に使用可能となる。

[0193] (44) 一対の電極により挟持された強誘電体薄膜容量を記憶セルを有し、前記記憶セルが、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルスを印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリ装置において、1チップまたは複数のチップに搭載される、メモリ部、アンテナ、同調回路、検波回路、復調回路、発振回路、変調回路及び、制御回路からなり、電波で信号をやり取りする、脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする強誘電体メモリ装置。

[0194] (45) 前記強誘電体メモリ装置において、受信する電波から、駆動するための電圧、電力を生成する回路を有し、脱着可能なメモリ装置であることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

[0195] (46) 前記強誘電体メモリ装置において、前記アンテナ以外の部位を1チップに搭載し、電波で情報の信号をやり取りする、脱着可能なメモリ装置であることを特徴とする前記(44)項及び(45)項のいずれか1項に記載の強誘電体メモリ装置。

[0196] (47) 前記強誘電体メモリ装置において、前記アンテナを前記1チップ上に搭載することを特徴とする前記(44)項及び(45)項のいずれか1項に記載の強誘電体メモリ装置。

[0197] (48) 前記強誘電体メモリ装置において、前記電波は、マイクロ波からミリ波である脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする前記(44)項、(45)項及び(47)項のいずれか1項に記載の強誘電体メモリ装置。

[0198] 従って、前記(44)項乃至(48)項によれば、強誘電体の本方式は低電圧でかつ低電力、大容

量のメモリが可能であり、電波で大量のデータ通信が可能な応用にさいてきである。電波 (RF) 回路を使用することにより、この利点が引き出せる。

【0199】よって、電波で大量のデータ通信が可能なデータキャリアが可能となる。

【0200】(49) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナを設けられたコンピュータに対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0201】(50) 前記強誘電体メモリ装置において電波でやり取り可能な前記メモリカードから個人参照番号を読み取り、コンピュータに自動的に環境設定することができることを特徴とする前記(49)項に記載の強誘電体メモリ装置。

【0202】従って、前記(49)項及び(50)項によれば、電波(RF)による大量のデータ通信と大量メモリは、コンピュータの個人データカードに最適である。個人用のハードディスクは従来は困難であったが、

【0203】よって、個人データベースにより、どのようなコンピュータもあたかも自分専用マシンの様に使用可能となる。

【0204】(51) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナが設けられた、自動車に搭載される自動ドアロック機能、走行を制御する車載用コンピュータ及びナビゲーションシステムを含むシステムに対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0205】従って、前記(51)項によれば、電波(RF)による大量のデータ通信と大量メモリは、自動車の個人データカードに最適である。大容量データとCPUで従来は困難であったID、セキュリティ、専用データの保有が、本方法を用いるので可能となる。

【0206】よって、ID、セキュリティ、専用データの保有が、本方法を用いるので可能となる。

【0207】(52) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナ(58)を設けた、前記自動車に搭載した、自動ドアロック機能、運転者を識別するID認識装置及び、位置認識装置を含むシステムに対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0208】従って、前記(52)項によれば、電波(RF)による大量のデータ通信と大量メモリは、セキュリティシステムの個人IDデータカードに最適である。大容量データとCPUで従来は困難であったID、

セキュリティ、専用データの保有が、本方法を用いるので可能となる。

【0209】よって、ID、セキュリティ、専用データの保有が、本方法を用いるので可能となる。

【0210】(53) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナを設けた自動テラ装置(自動預金、引き出し装置)に対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0211】従って、前記(53)項によれば、電波(RF)による大量のデータ通信と大量メモリは、個人情報システムの個人IDデータカードに最適である。大容量データとCPUで従来は困難であったID、セキュリティ、個人のアカウント、健康、ビジネス、電話、fax専用データの保有が、本方法を用いるので可能となる。

【0212】よって、本方法を用いるあらゆる情報の個人所有が可能となる。

【0213】(54) 前記強誘電体メモリ装置において、信号変復調回路を含むRFアンテナやマイクロ波アンテナを設けた、家庭用テレビ、ゲーム装置、家庭データ端末機を含むシステムに対して、個人特有のデータを電波でやり取り可能なメモリカードであることを特徴とする前記(44)項に記載の強誘電体メモリ装置。

【0214】従って、前記(54)項によれば、電波(RF)による大量のデータ通信と大量メモリは、個人情報システムの個人IDデータカードに最適である。大容量データとCPUで従来は困難であったID、セキュリティ、個人のアカウント、健康、ビジネス、電話、fax専用データの保有が、本方法を用いるので可能となる。

【0215】よって、本方法を用いるあらゆる情報の個人所有が可能となる。

【0216】(55) 一对の電極により挟持された強誘電体薄膜容量のメモリセルを有し、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のパルス印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のパルスを印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、1チップまたは複数のチップに搭載される、メモリ部、制御部、高速光変調素子および高速回路ポトダイオード、光発電電池で構成される脱着可能なメモリ装置、たとえばメモリカードであることを特徴とする強誘電体メモリ装置。

【0217】従って、前記(55)項によれば、本方法では大容量メモリカードが可能であるが、電極端子を用

10

20

30

40

50

いると、大きさ、耐水性、耐環境性等問題があり、端子の信頼性もよくない、この為、高速の光インターフェースをもちいる。

【0218】よって、大きさ、耐水性、耐環境性等問題があり、端子の信頼性をすべてクリアするメモリカードが可能となり、電池も不要となる。

【0219】(56) 一対の電極により挟持された強誘電体薄膜のメモリセルを有し、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のバルス10を印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のバルス10を印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、前記メモリセルが、互いに直交する上部電極ライン及び下部電極ラインの交点で単純マトリックス状に配置され、これらのメモリセルがシリコン酸化膜を含む領域の上部に形成され、周辺回路がメモリセルの配置される領域外に形成される特徴とする強誘電体メモリ装置。

(57) 前記強誘電体メモリ装置において、前記周辺回路は、前記メモリセルの配置される領域の周辺に形成されたことを特徴とする前記(56)項に記載される強誘電体メモリ装置。

【0220】(58) 前記強誘電体メモリ装置において、前記上部電極と下部電極は、新たに設けた第3電極によって周辺回路のデバイスと接続されたことを特徴とする前記(56)項及び(57)項のいずれか1項に記載される強誘電体メモリ装置。

【0221】従って、前記(55)項乃至(58)項によれば、本方法では本メモリの実際の作成の上での構成とプロセスを示し、簡単な構成、緩い加工ルール、少ないマスク枚数でメモリが実現できる。

【0222】(59) 一対の電極により挟持された強誘電体薄膜のメモリセルを有し、自発分極(分極)の2つの状態のうちの第1の分極状態に前記強誘電体薄膜の抗電圧 V_c よりも大きい電圧 V_e を有する第1のバルス10を印加して分極し、次に、前記印加電圧 V_e とは逆極性の V_e より小さい絶対値を持つ電圧 V_w を有する第2のバルス10を印加し、前記第1の方向の分極を有するドメインと、前記第1の方向とは逆方向の第2の分極を有するドメインとが混合した部分分極状態にて情報の記憶を行なう強誘電体メモリにおいて、半導体基板上にアクティブデバイスが配置され、そのアクティブデバイス間の配線が行われている領域の上に、前記メモリセルが、互いに直交する上部電極ライン及び下部電極ラインの交点で単純マトリックス状に積層して配置されることを特徴とする強誘電体メモリ装置。

【0223】(60) 前記強誘電体メモリ装置におい

て、前記周辺回路や制御回路は、前記半導体基板上にアクティブデバイスとして形成されたことを特徴とする前記(59)項に記載の強誘電体メモリ装置。

【0224】(61) 前記強誘電体メモリ装置において、前記周辺回路や制御回路を含む中央処理装置やデジタル信号処理装置が、半導体基板上にアクティブデバイスとして、形成されたことを特徴とする前記(59)項に記載の強誘電体メモリ装置。

【0225】従って、前記(59)項乃至(61)項によれば、本方法では本メモリの実際の作成の上での構成とプロセスを示し、簡単な構成、緩い加工ルール、少ないマスク枚数で高密度のメモリが実現できる。

【0226】(62) 前記強誘電体メモリ装置において、少なくとも2つの複数の上部電極と下部電極の対が積層されていることを特徴とする前記(59)項乃至(61)項に記載の強誘電体メモリ装置。

【0227】従って、前記(62)項によれば、本方法では本メモリの実際の作成の上での構成とプロセスを示し、簡単な構成、緩い加工ルール、少ないマスク枚数できわめて高密度のメモリが実現できる。

【0228】

【発明の効果】以上詳述したように本発明によれば、小さな $\Delta C/C$ をデータ線の電圧変化なしで読み出せる容量付加帰還回路と参照セルとの比較読み出しを組み合わせたセンス回路により、情報の書き込み時の非干渉性及び、読み出し時の非干渉性を持ち、非破壊読み出しを実現可能で、且つ大規模化に好適する非破壊強誘電体メモリ及びその駆動方法を提供することができる。

【図面の簡単な説明】

30 【図1】第1実施形態としての強誘電体メモリの回路構成の一例を示す図である。

【図2】本発明による強誘電体メモリ装置の概略を説明するための図である。

【図3】図1に示した強誘電体メモリ装置の動作について説明するための図である。

【図4】図1に示した強誘電体メモリ装置の動作について説明するための図である。

40 【図5】簡単マトリックスに配置されたメモリセルマツトにより構成された強誘電体メモリ装置のブロック構成を示す図である。

【図6】第2実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図7】第3実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図8】第3実施形態の変形例の構成例を示す図である。

【図9】第4実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

50 【図10】第5実施形態としての強誘電体メモリ装置の構成及び動作を説明するための図である。

【図 1 1】第 6 実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図 1 2】第 7 実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図 1 3】第 7 実施形態の変形例を示す図である。

【図 1 4】第 8 実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図 1 5】第 8 実施形態の変形例を示す図である。

【図 1 6】第 8 実施形態をメモリカードに応用した一例を示す図である。

【図 1 7】第 9 実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図 1 8】第 10 実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図 1 9】第 11 実施形態としての強誘電体メモリ装置の構成の一例を示す図である。

【図 2 0】第 12 実施形態としての強誘電体メモリ装置のブロック構成の一例を示す図である。

【図 2 1】第 13 実施形態としての強誘電体メモリ装置の概略及び動作を説明するためのフローチャートである。

【図 2 2】第 14 実施形態としての強誘電体メモリ装置の概略を示す図である。

【図 2 3】第 15 実施形態としての強誘電体メモリ装置の概略を示す図である。

【図 2 4】第 16 実施形態としての強誘電体メモリ装置

の概略を示す図である。

【図 2 5】第 17 実施形態としての強誘電体メモリ装置の概略を示す図である。

【図 2 6】第 18 実施形態としての強誘電体メモリ装置の構成を示す図である。

【図 2 7】第 19 実施形態としての強誘電体メモリ装置の上方から見た構成を示す図である。

【図 2 8】第 19 実施形態としての強誘電体メモリ装置の製造工程における断面構造を示す図である。

10 【図 2 9】第 20 実施形態の強誘電体メモリ装置の上方から見た構成及び断面構造を示す図である。

【図 3 0】第 21 実施形態の強誘電体メモリ装置の断面構造を示す図である。

【図 3 1】従来の強誘電体メモリの回路構成を示す図である。

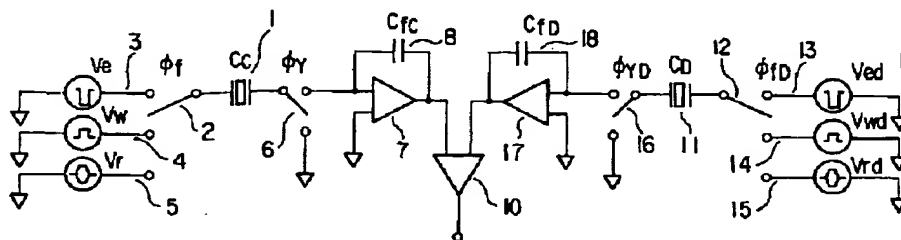
【図 3 2】従来の強誘電体メモリの概略的な構成を示す図である。

【図 3 3】強誘電体の容量-電圧特性を一例を示す図である。

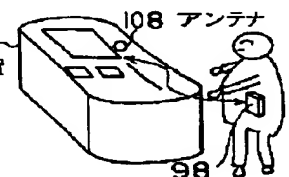
【符号の説明】

1…強誘電体メモリセル、2, 12…選択スイッチ、3, 13…消去用パルス入力端子、4, 14…書き込み用パルス入力端子、5, 15…読出し用パルス入力端子、6, 16…切換えスイッチ（放電用）、7, 10, 17…差動アンプ、8, 18…帰還容量素子、11…ダミーセル。

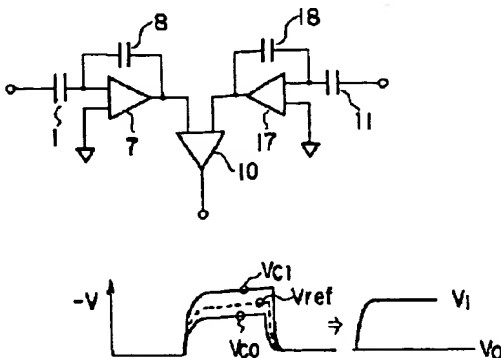
【図 1】



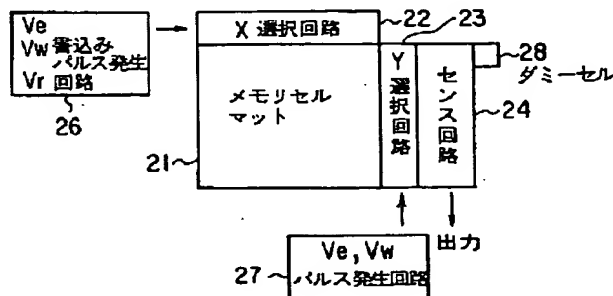
【図 2 4】



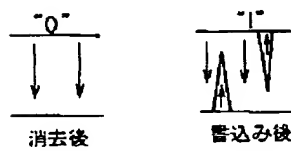
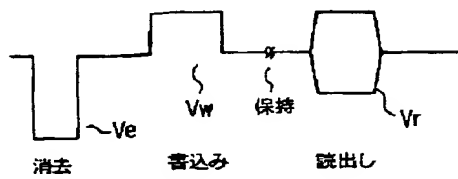
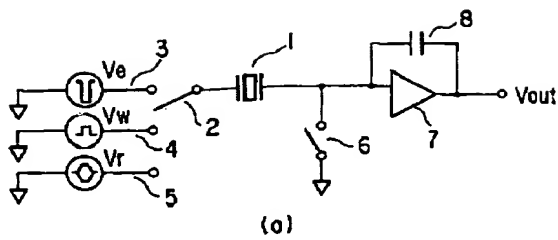
【図 4】



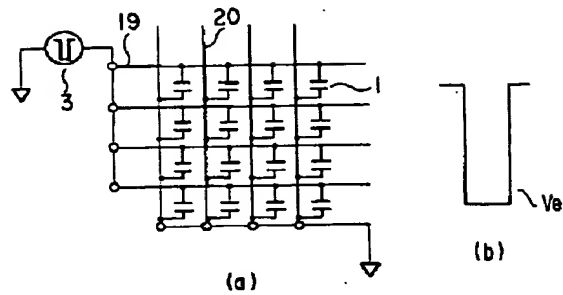
【図 5】



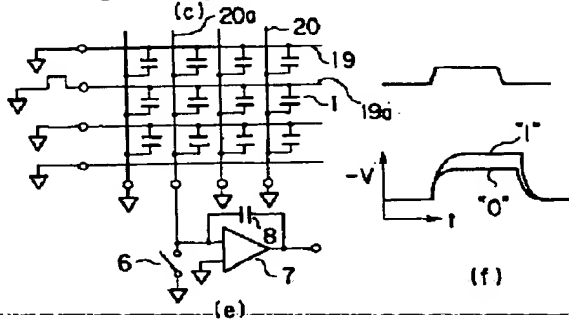
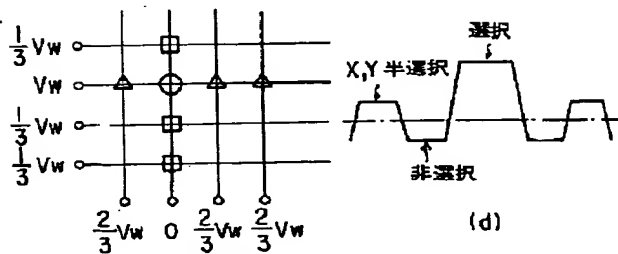
【 図 2 】



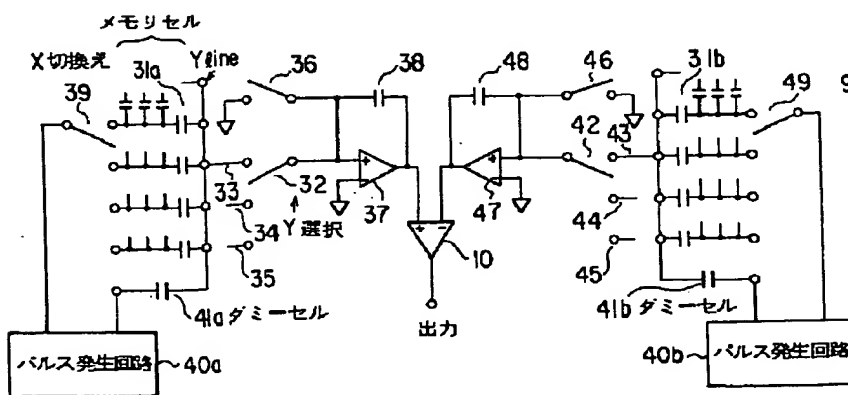
【 図 3 】



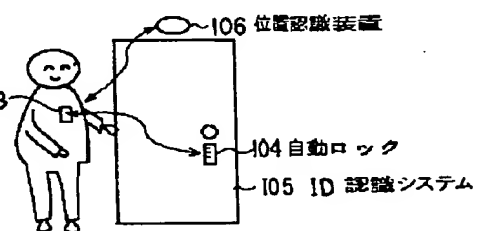
(b)



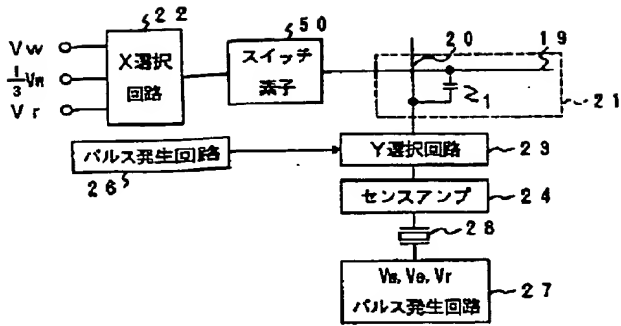
【 図 6 】



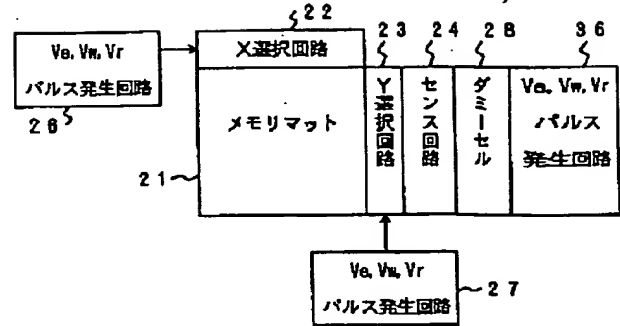
【 図 23 】



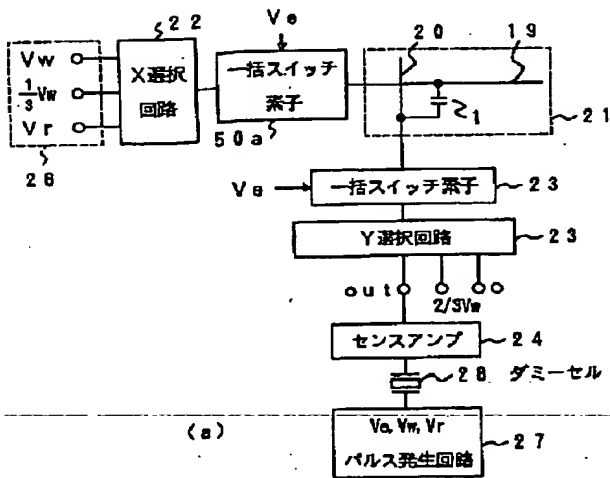
【図 7】



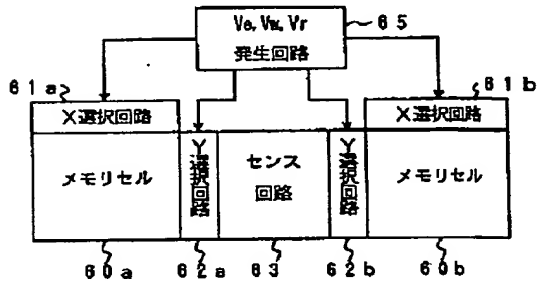
【図 8】



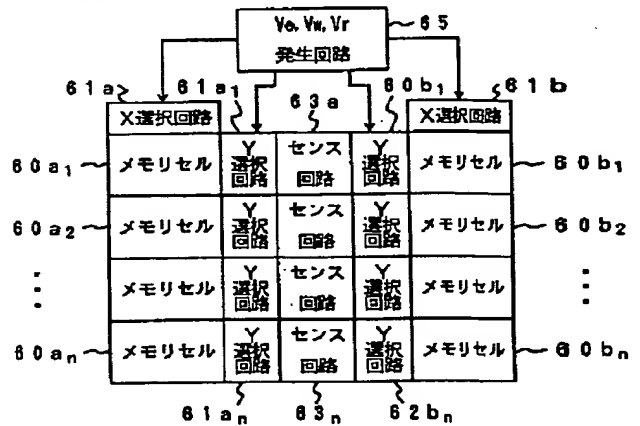
【図 9】



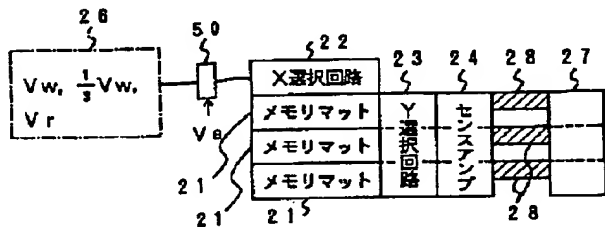
【図 11】



【図 12】

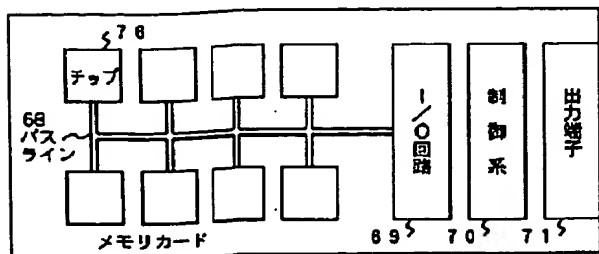


(a)

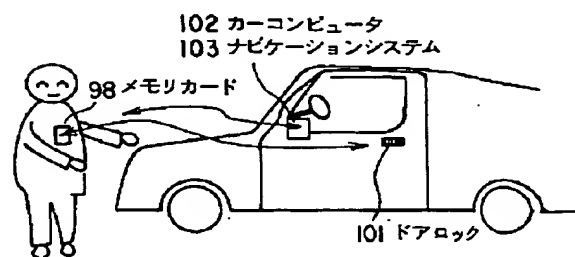


(b)

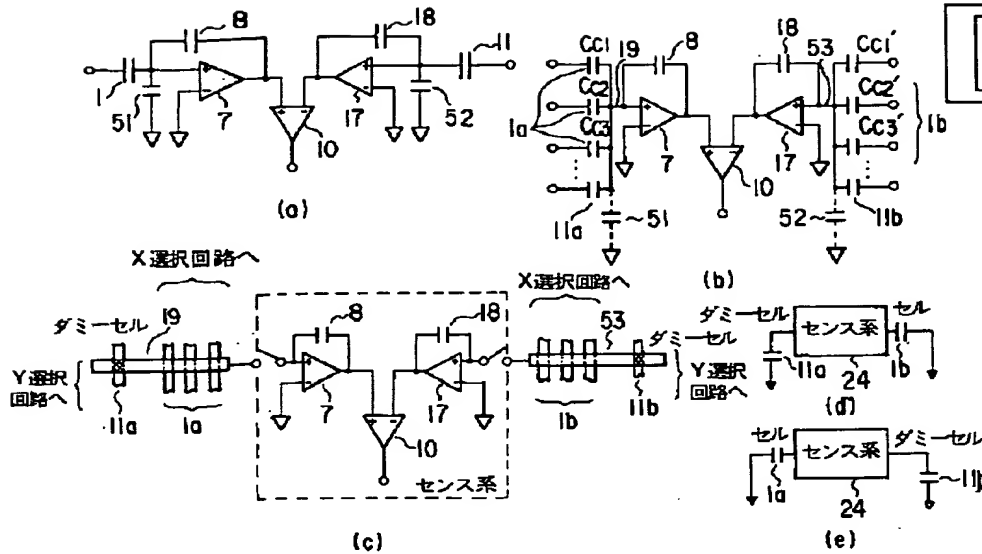
【図 16】



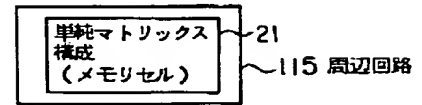
【図 22】



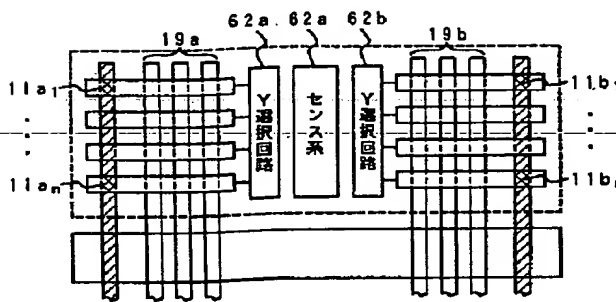
【図 10】



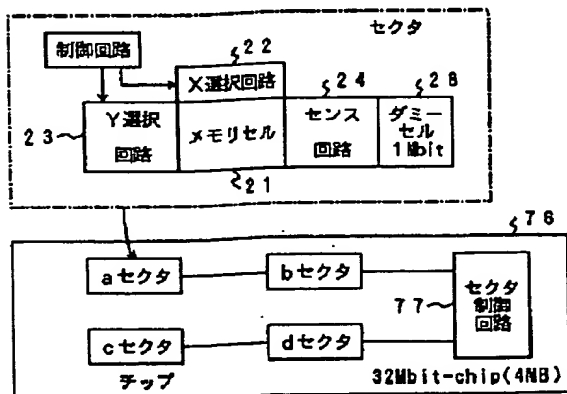
【図 27】



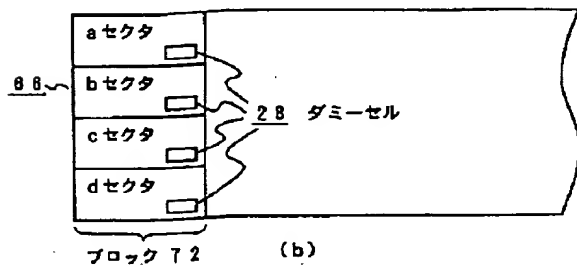
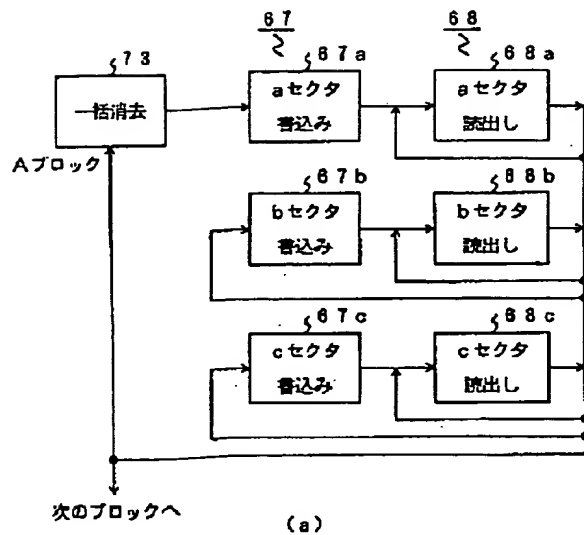
【図 13】



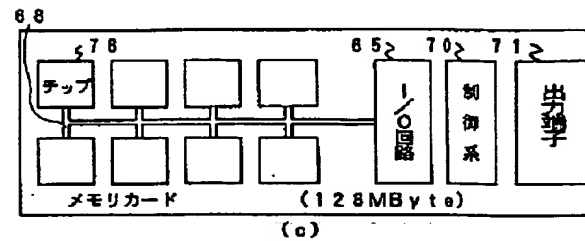
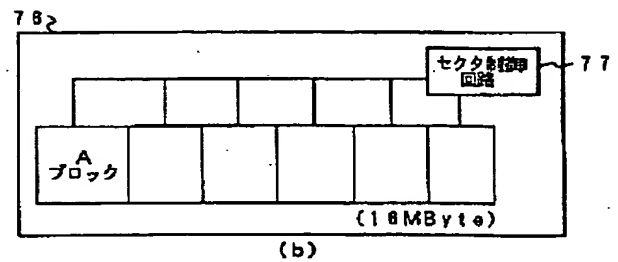
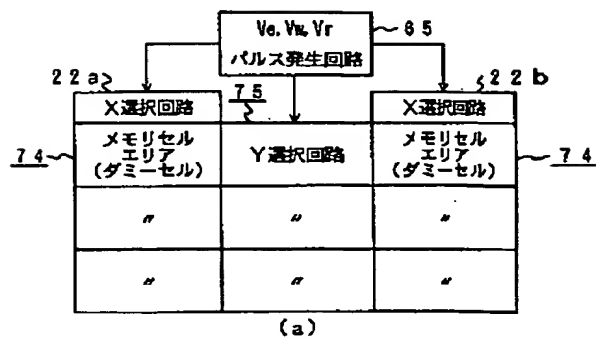
【図 15】



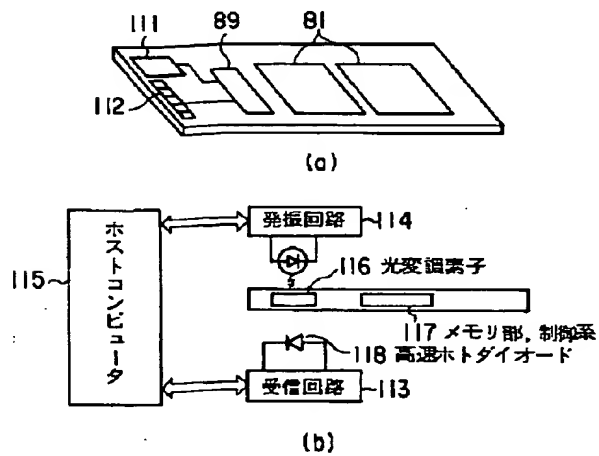
【図 17】



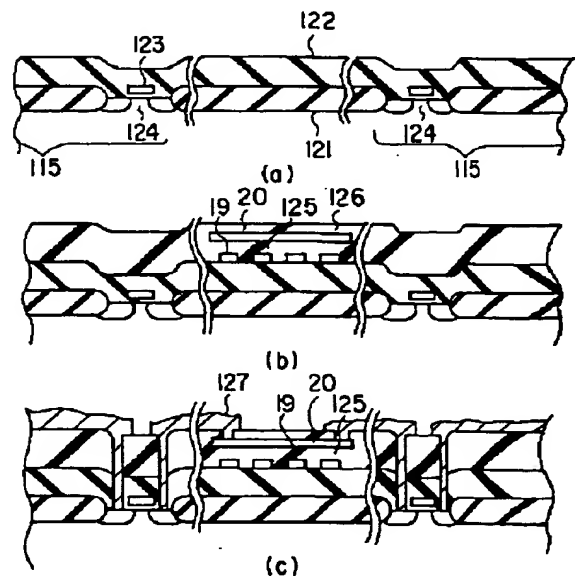
【図 18】



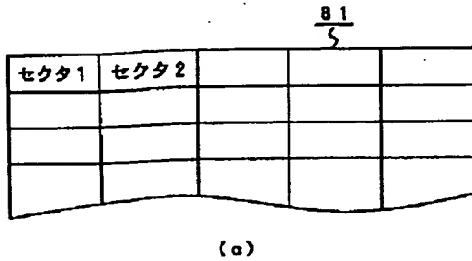
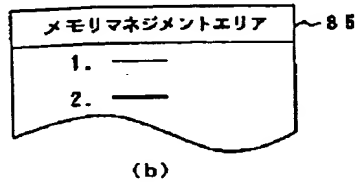
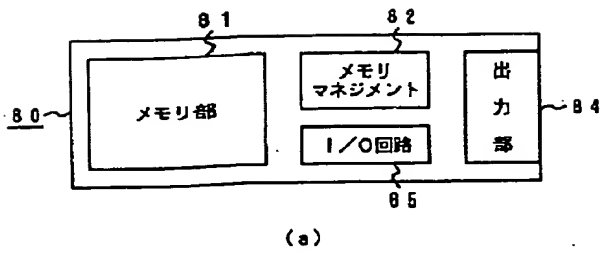
【図 26】



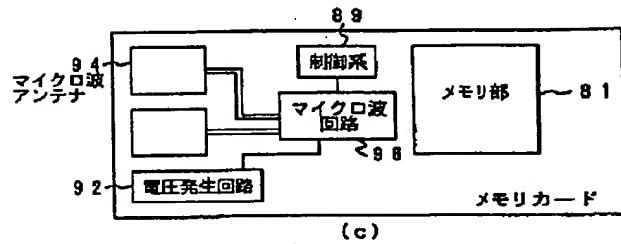
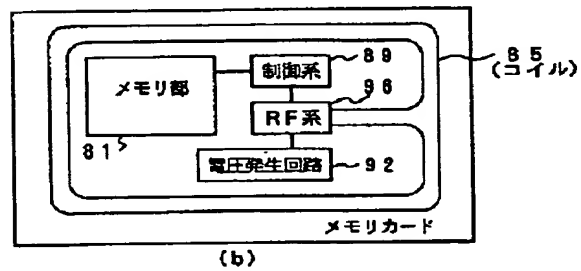
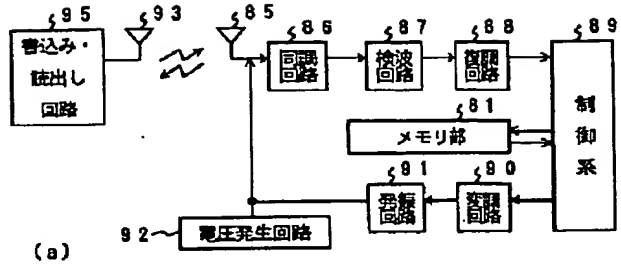
【図 28】



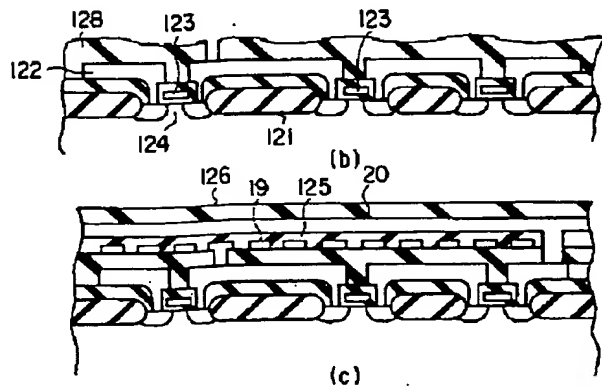
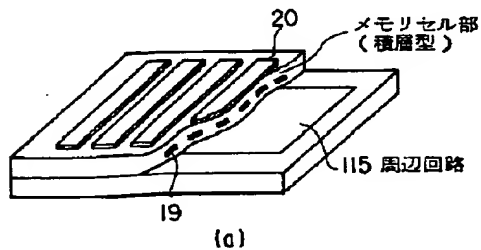
【図 19】



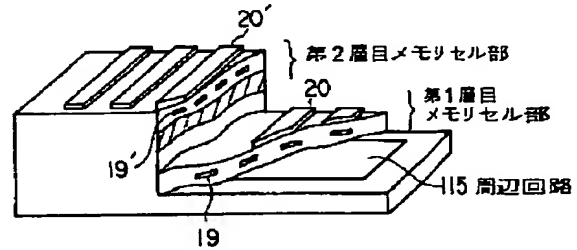
【図 20】



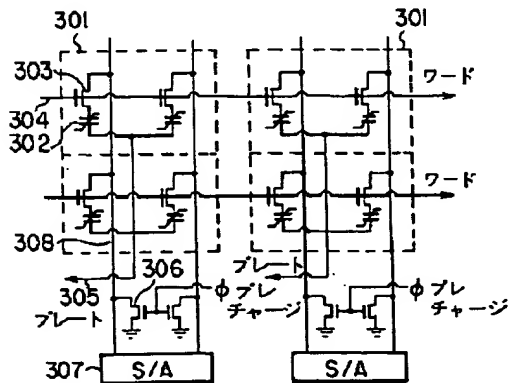
【図 29】



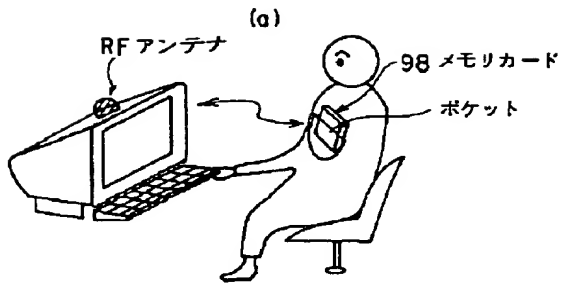
【図 30】



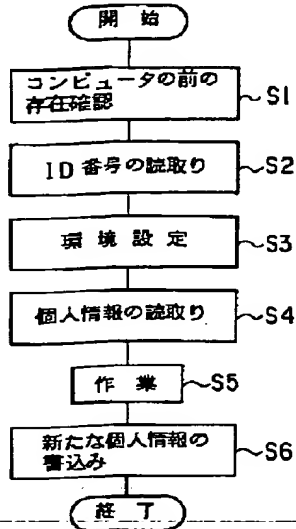
【図 31】



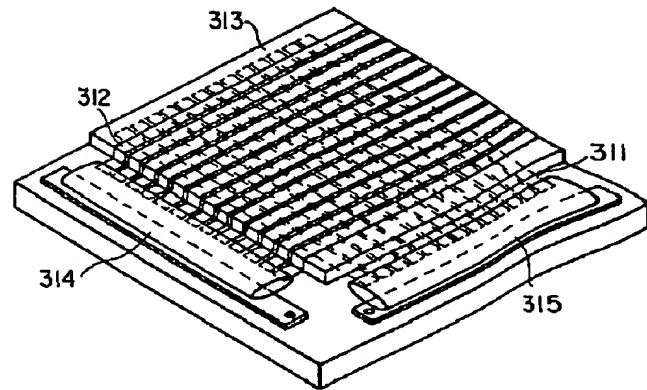
【 図 2 1 】



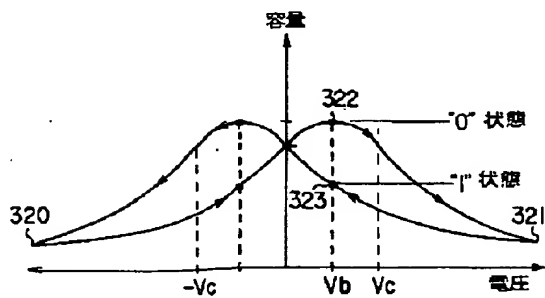
(b)



【 図 3 2 】



【 図 3 3 】



フロントページの続き

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

21/8242